

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2002年 8月13日

出願番号

Application Number:

特願2002-235667

[ST.10/C]:

[JP2002-235667]

出願人

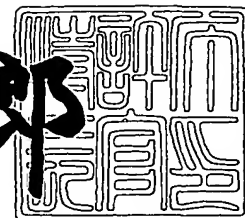
Applicant(s):

セイコーエプソン株式会社

2003年 6月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043201

【書類名】 特許願

【整理番号】 EP-0399201

【提出日】 平成14年 8月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 藤田 信一郎

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 金井 裕之

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 伊藤 朱美

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891  
【選任した代理人】  
【識別番号】 100090398  
【弁理士】  
【氏名又は名称】 大 淵 美千栄  
【電話番号】 03-5397-0891  
【手数料の表示】  
【予納台帳番号】 039491  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9402500  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置、電子機器、プログラム及び電子機器の製造方法

【特許請求の範囲】

【請求項 1】 バスを介してデータ転送を行うためのデータ転送制御装置であって、

機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するための不揮発性メモリのリライト領域に、第 1 のバスを介して転送される情報をダウンロードし、情報を書き込むリライタ部と、

第 2 のバスにデバイスが未接続であることが検出された場合に、リライタ部の処理を開始させるリライタ起動部と、

を含むことを特徴とするデータ転送制御装置。

【請求項 2】 請求項 1 において、

第 2 のバスのデバイスが有するレジスタへのアクセス結果に基づいて、第 2 のバスにデバイスが接続されているか否かを検出することを特徴とするデータ転送制御装置。

【請求項 3】 請求項 1 又は 2 において、

リライト領域に情報をダウンロードするモードでは、

前記リライタ部が、第 1 のバスに接続されるホストとの間でデータ転送を行うことで、リライト領域に情報を書き込むことを特徴とするデータ転送制御装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

リライト領域に情報をダウンロードするモードとは異なる通常動作モードでは、

第 1 のバスを介してホストから転送されるデータを第 2 のバスを介してデバイスに転送し、第 2 のバスを介してデバイスから転送されるデータを第 1 のバスを介してホストに転送することを特徴とするデータ転送制御装置。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

前記機器情報が、データ転送制御装置が組み込まれる電子機器に固有の識別情

報を含むことを特徴とするデータ転送制御装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記不揮発性メモリが、データ転送制御プログラム情報がリライタ領域に正常に書き込まれた否かを示すための情報を記憶する領域を有することを特徴とするデータ転送制御装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

前記不揮発性メモリが、リライタ部の処理をイネーブル又はディスエーブルに設定するためのリライタ処理設定情報を記憶する領域を有し、

前記リライタ処理設定情報が、初期状態においてはイネーブルに設定され、リライタ部の処理が終了するとディスエーブルに設定されることを特徴とするデータ転送制御装置。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、

第 1 のバスが、第 1 のインターフェース規格によりデータ転送が行われるバスであり、第 2 のバスが、第 2 のインターフェース規格によりデータ転送が行われるバスであることを特徴とするデータ転送制御装置。

【請求項 9】 請求項 1 乃至 8 のいずれかのデータ転送制御装置と、

第 2 のバスに接続されるデバイスと、

を含むことを特徴とする電子機器。

【請求項 10】 機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するための不揮発性メモリのリライト領域に、第 1 のバスを介して転送される情報をダウンロードし、情報を書き込むリライタ部と、

第 2 のバスにデバイスが未接続であることが検出された場合に、リライタ部の処理を開始させるリライタ起動部として、

データ転送制御装置を機能させることを特徴とするプログラム。

【請求項 11】 請求項 10 において、

第 2 のバスのデバイスが有するレジスタへのアクセス結果に基づいて、第 2 のバスにデバイスが接続されているか否かが検出されることを特徴とするプログラム。

【請求項 12】 請求項 10 又は 11 において、

前記不揮発性メモリが、リライタ部の処理をイネーブル又はディスエーブルに設定するためのリライタ処理設定情報を記憶する領域を有し、

前記リライタ処理設定情報が、初期状態においてはイネーブルに設定され、リライタ部の処理が終了するとディスエーブルに設定されることを特徴とするプログラム。

【請求項 1 3】 データ転送制御装置とデータ転送制御装置の第 2 のバスに接続されるデバイスとを含む電子機器の製造方法であって、

データ転送制御装置の第 2 のバスとデバイスとを未接続にし、第 2 のバスとデバイスとが未接続の時に起動するリライタ処理を開始させ、

リライタ処理により、機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するためのリライト領域に、第 1 のバスを介して転送される情報をダウンロードし、情報を書き込み、

リライト領域への情報の書き込み後に、データ転送制御装置の第 2 のバスとデバイスとを接続することを特徴とする電子機器の製造方法。

【請求項 1 4】 請求項 1 3 において、

前記機器情報が、データ転送制御装置が組み込まれる電子機器に固有の識別情報を含むことを特徴とする電子機器の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、データ転送制御装置、電子機器、プログラム、及び電子機器の製造方法に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

近年、IEEE 1394 と呼ばれるインターフェース規格が脚光を浴びている。この IEEE 1394 のバスには、ハードディスクドライブ、光ディスクドライブ、プリンタ、スキャナなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TV などの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

## 【 0 0 0 3 】

そして、この I E E E 1 3 9 4 等のインターフェースを備えた電子機器においては、電子機器に固有の識別情報である G U I D を持つ必要がある。このため、工場出荷時に、この G U I D (Global Unique ID)、コンフィギュレーション R O M (ConfigurationROM) 情報などの機器情報を電子機器のフラッシュメモリ（広義には不揮発性メモリ）に書き込む工程が必要になる。

## 【 0 0 0 4 】

しかしながら、この機器情報の書き込みは、1 台 1 台の電子機器に対して行う必要があるため、製造工程のなるべく前半の工程で行うことが望ましい。具体的には、データ転送制御装置の L S I がマウントされる基板に対して、C D ドライブやハードディスクドライブなどのストレージデバイスのユニットを接続する前に、機器情報を書き込むことが望ましい。

## 【 0 0 0 5 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、機器情報等を簡易に書き込むことができるデータ転送制御装置、電子機器、プログラム、及び電子機器の製造方法を提供することにある。

## 【 0 0 0 6 】

## 【課題を解決するための手段】

本発明は、バスを介してデータ転送を行うためのデータ転送制御装置であって、機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するための不揮発性メモリのリライト領域に、第 1 のバスを介して転送される情報をダウンロードし、リライト領域に情報を書き込むリライタ部と、第 2 のバスにデバイスが未接続であることが検出された場合に、リライタ部の処理を開始させるリライタ起動部とを含むデータ転送制御装置に係る。

## 【 0 0 0 7 】

本発明によれば、第 2 のバスにデバイスが未接続（不存在）であることが検出されると、リライタ（rewriter）部の処理が開始する（リライタ部が起動する）。そして、第 1 のバスを介して転送される情報がダウンロードされてリライト領域に書き込まれる。従って、第 2 のバスにデバイスが未接続の場合には、機器情

報やデータ転送制御プログラム情報が、リライト領域に自動的に書き込まれるようになる。これにより、機器情報等を簡易に書き込むことができるデータ転送制御装置を実現できる。

## 【 0 0 0 8 】

なお、この場合の機器情報としては、例えば、電子機器やデータ転送制御装置を識別するための情報やデータ転送制御時に必要な機器情報などがある。また、データ転送制御プログラム情報としては、例えば、第 1 のバスを介したデータ転送を制御するプログラムの情報などがある。この場合のデータ転送制御プログラムには、第 1 のバス用の第 1 のインターフェース規格の上位の第 1 のプロトコルのデータ転送制御プログラムを含めることができる。

## 【 0 0 0 9 】

また本発明では、第 2 のバスのデバイスが有するレジスタへのアクセス結果に基づいて、第 2 のバスにデバイスが接続されているか否かを検出してもよい。

## 【 0 0 1 0 】

この場合のレジスタへのアクセスは、レジスタへのライトでもよいし、リードもよいし、その両方でもよい。また、第 2 のバスのデバイスが有するレジスタとしては、第 2 のバス用の第 2 のインターフェース規格において定義されるレジスタを採用できる。

## 【 0 0 1 1 】

また本発明では、リライト領域に情報をダウンロードするモードでは、前記リライター部が、第 1 のバスに接続されるホストとの間でデータ転送を行うことで、リライト領域に情報を書き込んでもよい。

## 【 0 0 1 2 】

この場合、ダウンロードモード時における第 1 のバスを介したデータ転送は、例えば第 1 のインターフェース規格により実現できる。

## 【 0 0 1 3 】

また本発明では、リライト領域に情報をダウンロードするモードとは異なる通常動作モードでは、第 1 のバスを介してホストから転送されるデータを第 2 のバスを介してデバイスに転送し、第 2 のバスを介してデバイスから転送されるデー



タを第 1 のバスを介してホストに転送してもよい。

【 0 0 1 4 】

このようにすることで、いわゆるバスブリッジ機能を実現できる。

【 0 0 1 5 】

また本発明では、前記機器情報が、データ転送制御装置が組み込まれる電子機器に固有の識別情報を含んでもよい。

【 0 0 1 6 】

このようにすれば、当該電子機器を他の電子機器に対して第 1 のバスを介して接続した場合に、他の電子機器が当該電子機器を容易に識別できるようになる。

【 0 0 1 7 】

また本発明では、前記不揮発性メモリが、データ転送制御プログラム情報がリライタ領域に正常に書き込まれたか否かを示すための情報を記憶する領域を有してもよい。

【 0 0 1 8 】

このようにすれば、誤ったデータ転送制御プログラム情報がリライタ領域に書き込まれてしまう事態を防止できる。

【 0 0 1 9 】

また本発明では、前記不揮発性メモリが、リライタ部の処理をイネーブル又はディスエーブルに設定するためのリライタ処理設定情報を記憶する領域を有し、前記リライタ処理設定情報が、初期状態においてはイネーブルに設定され、リライタ部の処理が終了するとディスエーブルに設定されるようにしてもよい。

【 0 0 2 0 】

このようにリライタ処理設定情報を初期状態においてイネーブルに設定すれば、他の処理を省略して直ぐにリライタ処理に移行することが可能になる。

【 0 0 2 1 】

また本発明では、第 1 のバスが、第 1 のインターフェース規格によりデータ転送が行われるバスであり、第 2 のバスが、第 2 のインターフェース規格によりデータ転送が行われるバスであってもよい。

【 0 0 2 2 】

また本発明は、上記のいずれかのデータ転送制御装置と、第2のバスに接続されるデバイスとを含む電子機器に関係する。

【0023】

また本発明は、機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するための不揮発性メモリのリライト領域に、第1のバスを介して転送される情報をダウンロードし、リライト領域に情報を書き込むリライタ部と、第2のバスにデバイスが未接続であることが検出された場合に、リライタ部の処理を開始させるリライタ起動部として、データ転送制御装置を機能させるプログラムに関係する。

【0024】

また本発明は、データ転送制御装置とデータ転送制御装置の第2のバスに接続されるデバイスとを含む電子機器の製造方法であって、データ転送制御装置の第2のバスとデバイスとを未接続にし、第2のバスとデバイスとが未接続の時に起動するリライタ処理を開始させ、リライタ処理により、機器情報及びデータ転送制御プログラム情報の少なくとも一方を記憶するためのリライト領域に、第1のバスを介して転送される情報をダウンロードし、リライト領域に情報を書き込み、リライト領域への情報の書き込み後に、データ転送制御装置の第2のバスとデバイスとを接続する電子機器の製造方法に関係する。

【0025】

【発明の実施の形態】

以下、本発明の実施形態について詳細に説明する。

【0026】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0027】

1. IEEE1394、SBP-2

1. 1 層構造

IEEE1394のトランザクション層の一部の機能を含む上位のプロトコル

として、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。このSBP-2 (広義にはSBP) は、SCSI (MMC-2) のコマンドセットをIEEE 1394 のプロトコル上で利用可能にするために提案されたものである。このSBP-2を用いれば、既存のSCSI規格対応の電子機器で使用されていたコマンドセットに最小限の変更を加えて、IEEE 1394 規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。

## 【0028】

図1に、IEEE 1394、SBP-2の層構造 (プロトコル・スタック) を簡略化して示す。

## 【0029】

IEEE 1394 (IEEE 1394-1995、P1394a、P1394b等) のプロトコルは、トランザクション層、リンク層、物理層により構成される。

## 【0030】

トランザクション層は、上位層にトランザクション単位のインターフェース (サービス) を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

## 【0031】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

## 【0032】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

## 【0033】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

## 【 0 0 3 4 】

S B P - 2 層は、図 1 に示すように、I E E E 1 3 9 4 ( 広義には第 1 のインターフェース規格) のトランザクション層の一部の機能を含む上位のプロトコルを提供する。

## 【 0 0 3 5 】

## 1. 2 S B P - 2 の処理

図 2 に、S B P - 2 ( 広義には第 1 のインターフェース規格の上位の第 1 のプロトコル) の処理の全体についてのフローチャートを示す。

## 【 0 0 3 6 】

図 2 に示すように、S B P - 2 では、まず、接続機器の確認を行うためのコンフィギュレーションROM情報のリード処理が行われる ( ステップ T 1 ) 。

## 【 0 0 3 7 】

次に、イニシエータ ( 例えばパーソナルコンピュータ) が、ターゲット ( 例えばストレージデバイス) に対するアクセス権 ( リクエスト開始の許可。バスの使用権) を獲得するためのログイン処理が行われる ( ステップ T 2 ) 。具体的には、イニシエータにより作成されたログイン O R B ( Operation Request Block) を用いてログイン処理が行われる。

## 【 0 0 3 8 】

次に、フェッチエージェントの初期化が行われる ( ステップ T 3 ) 。そして、コマンドブロック O R B ( ノーマルコマンド O R B) を用いてコマンド処理が行われ ( ステップ T 4 ) 、最後に、ログアウト O R B を用いてログアウト処理が行われる ( ステップ T 5 ) 。

## 【 0 0 3 9 】

ここで、ステップ T 4 のコマンド処理においては、図 3 の A 1 に示すように、イニシエータがライト要求パケットを転送して ( ライト要求トランザクションを発行して) 、ターゲットのドアベルレジスタをリングする。すると、A 2 に示すように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリ

ード応答パケットを返す。これにより、イニシエータが作成したORB（コマンドブロックORB）が、ターゲットのデータバッファ（パケットバッファ）にフェッチされる。そして、ターゲットは、フェッチされたORBに含まれるコマンドを解析する。

#### 【0040】

そして、ORBに含まれるコマンドがSCSIのライトコマンドであった場合には、A3に示すように、ターゲットがリード要求パケットをイニシエータに転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータがターゲットに転送される。そして、例えばターゲットがストレージデバイスであった場合には、転送されたデータがストレージデバイスに書き込まれる。

#### 【0041】

一方、ORBに含まれるコマンドがSCSIのリードコマンドであった場合には、図4のB1に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットがストレージデバイスであった場合には、ストレージデバイスから読み出されたデータが、イニシエータのデータバッファに転送されることになる。

#### 【0042】

このSBP-2によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して（トランザクションを発行して）、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

#### 【0043】

なお、IEEE1394の上位プロトコルとしては、ストレージデバイスやプリンタのデータの転送に最適なSBP-2以外にも、映像や音声のデータの転送に最適なAV/Cコマンドが提案されている。また、IEEE1394バス上で、インターネットプロトコル（IP）のパケットを転送するものとしてIPover1394と呼ばれるプロトコルも提案されている。

#### 【0044】

## 1. 3 電子機器への組み込み

さて、本実施形態のデータ転送制御装置 1 0 は図 5 (A) に示すように、IEEE 1394 (SBP-2) に準拠した BUS 1 (第 1 のバス) と ATA (IDE) / ATAPI に準拠した BUS 2 (第 2 のバス) との間のバスブリッジ機能を有している。ここで、ATA (AT Attachment) は、主にハードディスク用のインターフェース規格として広く用いられているものであり、ATAPI (ATA Packet Interface) は、ATA を CD ドライブなどの光ディスクドライブでも使用できるようにしたインターフェース規格である。

## 【0045】

図 5 (A) に示すようなバスブリッジ機能を実現できるデータ転送制御装置 1 0 は、PC (ホスト、パーソナルコンピュータ) から転送されてくる ORB (広義にはコマンドパケット) が含む SCSI (MMC-2) のコマンドを、ATAPI のコマンドとしてストレージデバイス 1 0 0 (広義にはデバイス) に発行する。そして、ストレージデバイス 1 0 0 との間のデータ転送を実現する。

## 【0046】

このようなバスブリッジ機能をデータ転送制御装置 1 0 に持たせることで、ATA / ATAPI のインターフェースしか備えていないストレージデバイス 1 0 0 に、IEEE 1394 のインターフェース機能を持たせることができる。これにより、ストレージデバイス 1 0 0 が組み込まれる電子機器の商品価値を高めることができる。

## 【0047】

さて、図 5 (B) に示すように、このようなストレージデバイス 1 0 0 が組み込まれる電子機器 8 では、その製造時 (工場出荷時) に、GUID (Global Unique ID)、コンフィギュレーション ROM (Configuration ROM) 情報などの機器情報 (電子機器やデータ転送制御装置に固有の情報) を、例えばデータ転送制御装置 1 0 (LSI チップ) の内蔵フラッシュメモリ 4 4 に書き込む必要がある。このような機器情報を書き込んでおけば、電子機器 8 を他の電子機器に接続した時に適正なデータ転送を実現できる。また、SBP-2 (IEEE 1394) のデータ転送を制御する SBP-2 (SBP) 用ファームウェア (広義にはデータ転送

制御プログラム)の修正を行う場合や、電子機器メーカーがメーカー専用のSBP-2用ファームウェアを使用する場合にも、SBP-2用ファームウェアをフラッシュメモリ44に書き込んで更新する必要がある。

## 【0048】

この場合に図5(B)では、SBP-2のデータ転送を利用して、機器情報やSBP-2用ファームウェアをフラッシュメモリ44に書き込んでいる。

## 【0049】

より具体的には、工場のPCのIEEE1394ポートを、データ転送制御装置10がマウントされる基板(サーキットボード)9のIEEE1394ポートに接続する。そして、通常動作モード(通常にデータ転送を行うモード)からダウンロードモード(フラッシュメモリ44に情報を書き込むモード)に移行するためのコマンドをSBP-2のORBに含ませて、工場のPCからデータ転送制御装置10に転送する。すると、フラッシュメモリ44への情報の書き込みを行うリライター(リライター部、リライターモジュール)が起動し、機器情報やSBP-2用ファームウェアの書き込み処理を行う。

## 【0050】

このように図5(B)では、SBP-2転送を利用してフラッシュメモリ44に情報を書き込んでいるため、データ転送制御装置10(基板9)をストレージデバイス100(ストレージユニット)に接続した状態でBUS1を介した転送を行う必要がある。SBP-2転送を行うためにはストレージデバイス100の情報等が必要になるが、ストレージデバイス100が未接続では、このような情報を得ることができないからである。また、PCのシステムの認識対象は、あくまでもストレージデバイス100であって、データ転送制御装置10はバスブリッジ機能を有するデバイスにすぎないからである。

## 【0051】

このため図5(B)の手法では、データ転送制御装置10がマウントされる基板9をストレージデバイス100に接続する製造工程の後に、機器情報の書き込みを行わなければならない。このため、機器情報の書き込みを前半の製造工程で行うことができず、製造工程の複雑化・長期化や電子機器の高コスト化等を招く

という問題がある。

【 0 0 5 2 】

本実施形態では以上のような課題を解決するために、以下に説明するような構成のデータ転送制御装置を採用している。

【 0 0 5 3 】

2. 全体構成

図 6 に、本実施形態のデータ転送制御装置及びこれを含む電子機器の全体構成例を示す。なお、以下では、イニシエータとの間でデータ転送を行うターゲットがストレージデバイス（CDドライブ、DVDドライブ、ハードディスクドライブ等）である場合について例にとり説明するが、本発明はこれに限定されない。

【 0 0 5 4 】

データバッファ 4 を有する PC（ホスト、パーソナルコンピュータ）と電子機器 8 は、IEEE 1394 に準拠した BUS 1（第 1 のバス）により接続される。そして、電子機器 8 は、データ転送制御装置 10 とストレージデバイス 100（広義にはデバイス）を有する。

【 0 0 5 5 】

なお、電子機器 8 には、図示しないシステム CPU、システムメモリ（ROM、RAM）、操作部、或いは信号処理デバイス等を含めることができる。

【 0 0 5 6 】

また、PC は、OS（Operation System）のデバイスドライバとして機能するダウンローダホスト部 6 を含む。このダウンローダホスト部 6 は、PC が有する CPU と、ダウンローダホスト・プログラム（ダウンローダホストモジュール）により実現される。このダウンローダホスト・プログラム（ドライバキット）は、PC により読み取り可能な情報記憶媒体（CD、DVD）やインターネット（通信回線）を介して提供できる。

【 0 0 5 7 】

データ転送制御装置 10 は、物理層（PHY）回路 14、リンク層回路 20、SBP-2 回路 22、インターフェース回路 30、パケット管理回路 38、パケットバッファ 40（データバッファ）を含む。また、CPU 42、フラッシュメモ



リ 4 4 (E E P R O M) を含む。また、フラッシュメモリ 4 4 にその処理モジュール (プログラム) が記憶され、C P U 4 2 (広義にはプロセッサ) により実行されるファームウェア 5 0 を含む。なお、本実施形態のデータ転送制御装置 1 0 は、図 6 に示す全ての回路ブロック、機能ブロックを含む必要はなく、その一部を省略してもよい。

## 【 0 0 5 8 】

物理層回路 1 4 は、図 1 の物理層のプロトコルをハードウェアにより実現するための回路であり、リンク層回路 2 0 により使用されるロジカルシンボルを電気信号に変換する機能を有する。

## 【 0 0 5 9 】

リンク (& トランザクション) 層回路 2 0 は、図 1 のリンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現するための回路であり、ノード間でのパケット転送のための各種サービスを提供する。

## 【 0 0 6 0 】

これらの物理層回路 1 4、リンク層回路 2 0 の機能により、I E E E 1 3 9 4 に準拠したデータ転送を、B U S 1 (第 1 のバス) を介して P C (広義には電子機器) との間で行うことが可能になる。

## 【 0 0 6 1 】

S B P - 2 回路 2 2 (転送実行回路) は、S B P - 2 のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。この S B P - 2 回路 2 2 の機能により、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理が可能になる。

## 【 0 0 6 2 】

インターフェース回路 3 0 は、ストレージデバイス 1 0 0 とのインターフェース処理を行う回路である。このインターフェース回路 3 0 の機能により、A T A (A T A t t a c h m e n t) 、 A T A P I (A T A P a c k e t I n t e r f a c e) に準拠したデータ転送を、B U S 2 (第 2 のバス) を介してストレージデバイス 1 0 0 との間で行うことが可能になる。

## 【 0 0 6 3 】

そして、図 6 のように物理層回路 1 4、リンク層回路 2 0、インターフェース回路 3 0 を設けることで、IEEE 1 3 9 4（広義には第 1 のインターフェース規格）と ATA（IDE）／ATAPI（広義には第 2 のインターフェース規格）のバスブリッジ機能をデータ転送制御装置 1 0 に持たせることが可能になる。

## 【0 0 6 4】

インターフェース回路 3 0 が含む DMA コントローラ 3 2 は、BUS 2 を介してストレージデバイス 1 0 0 との間で DMA（Direct Memory Access）転送を行うための回路である。

## 【0 0 6 5】

なお、BUS 2 に接続されるストレージデバイス 1 0 0 は、ATA（IDE）／ATAPI に準拠したデータ転送を行うためのインターフェース回路 1 0 2 と、ストレージ 1 0 6 へのアクセス制御（書き込み又は読み出し制御）を行うアクセス制御回路 1 0 4 と、光ディスク、ハードディスクなどのストレージ 1 0 6 を含む。

## 【0 0 6 6】

バッファ管理回路 3 8 は、パケットバッファ 4 0 とのインターフェースを管理する回路である。バッファ管理回路 3 8 は、バッファ管理回路 3 8 の制御のためのレジスタや、パケットバッファ 4 0 へのバス接続を調停する調停回路や、各種の制御信号を生成するシーケンサなどを含む。

## 【0 0 6 7】

また、バッファ管理回路 3 8 はポインタ管理部 3 9 を含む。このポインタ管理部 3 9 は、パケットバッファ 4 0 のポインタをリングバッファ方式で管理し、書き込み用、読み込み用の複数のポインタを更新する処理を行う。

## 【0 0 6 8】

パケットバッファ 4 0（パケットメモリ、データバッファ）は、パケット（転送データ）を一時的に格納するためのバッファであり、SRAM、SDRAM、或いは DRAM などのハードウェアにより構成される。なお、本実施形態では、パケットバッファ 4 0 は、ランダムアクセス可能なパケット記憶部として機能する。また、パケットバッファ 4 0 を、データ転送制御装置 1 0 に内蔵せずに、外

付けにしてもよい。

【0069】

CPU42（広義にはプロセッサ）は、装置全体の制御やデータ転送の制御を行うものである。

【0070】

フラッシュメモリ44（EEPROM）は、電氣的にデータの書き換えが可能な不揮発性メモリである。このフラッシュメモリ44には、ファームウェア50の処理モジュール（プログラム）が記憶される。

【0071】

ファームウェア50は、CPU42上で動作する種々の処理モジュール（処理ルーチン）を含むプログラムであり、トランザクション層等のプロトコルは、このファームウェア50と、ハードウェアであるCPU42等により実現される。

【0072】

ファームウェア50（F/W）は、コミュニケーション部52、マネージメント部60、フェッチ部70、ストレージタスク部80、リライタ（rewriter）起動部82、リライタ（ダウンローダ）部90を含む。なお、ファームウェア50は、これらの全ての機能ブロック（モジュール）を含む必要はなく、その一部を省略してもよい。

【0073】

ここで、コミュニケーション部52は、物理層回路14、リンク層回路20などのハードウェアとの間のインターフェースとして機能する処理モジュールである。

【0074】

マネージメント部60（マネージメントエージェント）は、ログイン、リコネクト、ログアウト、リセット等の管理を行う処理モジュールである。例えばインシエータがターゲットにログインを要求した場合には、まず、このマネージメント部60が、このログイン要求を受け付けることになる。

【0075】

フェッチ部70（フェッチエージェント）は、ORB（Operation Request Bl

ock) 受信と、ステータスの発行と、ストレージタスク部 8 0 へのコマンド処理依頼を行う処理モジュールである。フェッチ部 7 0 は、単一の要求しか扱うことができないマネージメント部 6 0 とは異なり、イニシエータからの要求により自身がフェッチした O R B のリンクリストも扱うことができる。

【 0 0 7 6 】

ストレージタスク部 8 0 は、O R B が含むコマンドの処理と D M A 転送処理を実行するための処理モジュールである。

【 0 0 7 7 】

リライタ起動部 8 2 (リライタ起動モジュール) は、リライタ部 9 0 の処理を開始させる処理を行う。

【 0 0 7 8 】

より具体的には、リライタ起動部 8 2 は、B U S 2 にストレージデバイス 1 0 0 (広義にはデバイス) が未接続であることが検出された場合に、リライタ部 9 0 の処理 (ダウンロードモード) を自動的に開始させる。また、P C のダウンローダホスト部 6 から、ダウンロード開始コマンドを受信した時にも、リライタ部 9 0 の処理を開始させる。

【 0 0 7 9 】

なお、B U S 2 にストレージデバイス 1 0 0 が接続されていることが検出された場合には、S B P - 2 処理 (通常動作モード) が開始される。この S B P - 2 処理は、コミュニケーション部 5 2、マネージメント部 6 0、フェッチ部 7 0、ストレージタスク部 8 0 などにより実現される。

【 0 0 8 0 】

また、B U S 2 にストレージデバイス 1 0 0 が接続されているか否かの検出は、例えば、ストレージデバイス 1 0 0 が有するレジスタ 1 0 3 (A T A レジスタ) へのアクセス結果 (ライト結果、リード結果の少なくとも一方) に基づいて判断できる。なお、B U S 2 の状態を監視する監視回路 (検出回路) を設けて、この監視回路を用いて、B U S 2 にストレージデバイス 1 0 0 が接続されているか否かを検出してもよい。

【 0 0 8 1 】

リライタ部 9 0（ダウンローダ部、リライタモジュール）は、フラッシュメモリ 4 4（広義には不揮発性メモリ）への情報の書き込み（書き換え）処理を行う。

【 0 0 8 2 】

より具体的には、リライタ部 9 0 は、G U I D（広義には電子機器に固有の識別情報）やコンフィグ ROM 情報などの機器情報や、データ転送制御プログラム情報（S B P-2 の転送処理を実現するファームウェアのプログラム情報）を記憶するためのフラッシュメモリ 4 4 のリライト領域（リライタ部 9 0 により情報の書き込みが可能な記憶領域）に、B U S 1 を介して転送される情報をダウンロードする。そして、リライト領域に情報（機器情報、データ転送制御プログラム情報）を書き込む。

【 0 0 8 3 】

この場合、リライト領域への情報のダウンロードは、P C のダウンローダホスト部 6 とリライタ部 9 0 の処理により、B U S 1 を介したデータ転送（I E E E 1 3 9 4）を行うことで実現される。

【 0 0 8 4 】

3. メモリマップ

図 7 に、フラッシュメモリ 4 4（不揮発性メモリ）のメモリマップ例を示す。

【 0 0 8 5 】

リライタ割り込みベクタテーブル領域には、リライタ部 9 0 が割り込み処理を行うのに必要なベクタテーブルが記憶される。ブート領域には、ブート処理のための情報が記憶される。リライタ・プログラム領域には、リライタのプログラムの実行コードが記憶される。リライタ・コンフィグ ROM 領域には、データ転送制御装置 1 0 をテストデバイスとして認識するためのコンフィグ ROM 情報が記憶される。

【 0 0 8 6 】

S B P-2 用ファームウェア・プログラム領域には、S B P-2 用ファームウェアのプログラムの実行コードが記憶される。この領域の先頭には S B P-2 用ファームウェアの割り込みベクタテーブルが記憶される。

## 【0087】

プログラムライト完了マーク領域にはプログラムライト完了マークが記憶される。このマークは、SBP-2用ファームウェア・プログラム領域にプログラムが正常に書き込まれたことを示すためのマーク（広義には、データ転送制御プログラム情報がリライター領域に正常に書き込まれたか否かを示すための情報）である。

## 【0088】

SBP-2ファームウェア・コンフィグROM領域には、SBP-2用ファームウェアのコンフィグROM情報が記憶される。

## 【0089】

リライタイネーブルフラグ領域には、リライタイネーブルフラグ（広義には、リライター処理をイネーブル又はディスエーブルに設定するためのリライター処理設定情報）が記憶される。リライタイネーブルフラグ（以下、適宜、REFと呼ぶ）がディスエーブルの時にはデータ転送制御装置10は通常動作モード（SBP-2処理モード）に移行し、REFがイネーブルの時にはダウンロードモード（リライター処理モード）に移行するようになる。

## 【0090】

ID領域には、ベンダID、シリアルIDなどのID（GUID）が記憶される。そして、PCが、SBP-2用ファームウェア・コンフィグROM領域にコンフィグROMの情報を書き込むと、ID領域に記憶されているIDの情報が、コンフィグROMの中に埋め込まれるようになる。そして、PCがIDをリードすると、このコンフィグROMの中のIDがPCに返される。

## 【0091】

SBP-2用ファームウェア・プログラム領域、プログラムライト完了マーク領域、SBP-2用ファームウェア・コンフィグROM領域、リライタイネーブルフラグ領域、ID領域は、リライター部90により情報の書き込みが可能なリライト領域になっている。即ち、リライター部90は、ダウンロードモード時に、PCのダウンロードホスト部6との間でデータ転送を行い、PCからの情報をリライト領域にダウンロードし、情報の書き込みを行うことができる。

【 0 0 9 2 】

## 4. 処理の詳細

次に、本実施形態のデータ転送制御装置の処理について、図 8、図 9 のフローチャートを用いて説明する。

【 0 0 9 3 】

データ転送制御装置 1 0 の電源がオン（リブート、リセット）になると、リライタイネーブルフラグ R E F（図 7 参照）がイネーブルか否かが判断される（ステップ S 1）。具体的には、図 6 の C P U 4 2 が、電源オン時に図 7 の C 0 0 0 0 0 h（ブートアドレス）から処理を開始する。そして、C 0 0 0 0 0 h には R E F をチェックするプログラム（スタートアッププログラム）のアドレスが記憶されているため、これにより R E F がイネーブルか否かがチェックできる。

【 0 0 9 4 】

そして、R E F がイネーブルの場合には、リライタ処理（ダウンロードモード）に移行する（ステップ S 2）。そして、P C のダウンロードホスト部 6 からダウンロード終了コマンドを受信しプログラムが正しく書き込まれているとプログラムライト完了マークが記録される（ステップ S 3）。そして、プログラムライト完了マークが記録されている場合には（ステップ S 4）、R E F がディスエーブルに設定され（ステップ S 5）、ステップ S 1 に戻る。一方、プログラムライト完了マークが記録されていない場合にはステップ S 2 に戻る。

【 0 0 9 5 】

なお、初期状態において R E F = イネーブルに設定すれば、1 回目のリライタ処理では、ステップ S 6、S 7、S 8、S 9 の処理を省略することが可能になる。

【 0 0 9 6 】

ステップ S 1 において R E F がディスエーブルの場合には、通常動作モード（S B P - 2 処理モード）の設定処理が行われる（ステップ S 6）。具体的には、ベクタテーブルのアドレスが図 7 の C 0 2 0 0 0 h に設定される。そして、I D E（A T A / A T A P I）のための初期化処理が行われる（ステップ S 7）。

【 0 0 9 7 】

I D E 初期化処理において B U S 2 にストレージデバイス 1 0 0 が未接続か否かが検出され、未接続と判断された場合には（ステップ S 8）、ダウンロードモード（リライター処理モード）の設定処理が行われる（ステップ S 9）。具体的には、ベクタテーブルのアドレスが図 7 の C 0 0 0 0 0 h に設定される。そして、リライター処理に移行し（ステップ S 2）、リライター部 9 0 の処理が開始される（リライタープログラムが起動する）。

## 【0098】

一方、ステップ S 8 で、ストレージデバイス 1 0 0 が未接続ではないと判断された場合には、S B P - 2 処理（通常動作モード）に移行し（ステップ S 1 0）、S B P - 2 のプロトコルに基づく通常のデータ転送制御処理が行われる。そして、P C のダウンロード部 6 からダウンロード開始コマンドを受信すると（ステップ S 1 1）、リライターモードの設定処理が行われ（ステップ S 9）、リライター処理に移行する（ステップ S 2）。一方、ダウンロード開始コマンドを受信しなかった場合には、電源オフか否かが判断され（ステップ S 1 2）、電源オフでない場合にはステップ S 1 0 に戻る。

## 【0099】

図 9 は、図 8 のステップ S 7 の I D E 初期化処理（ストレージデバイス 1 0 0 の初期化処理）のフローチャートである。

## 【0100】

まず、I D E（A T A / A T A P I）のリセット処理が行われる（ステップ S 2 1）。そして、一定期間（例えば 1 分）が経過したか否かが判断される（ステップ S 2 2）。そして、経過していない場合には、ストレージデバイス 1 0 0 が B U S Y か否かが判断され（ステップ S 2 3）、B U S Y の場合にはステップ S 2 2 に戻る。この場合、B U S Y か否かは図 1 0（A）に示す A T A のステータスレジスタの B S Y ビットを調べることで判断できる。

## 【0101】

なお、このステータスレジスタは、図 6 のストレージデバイス 1 0 0 のレジスタ 1 0 3 に含まれる。また、下記に述べるセクタサイズレジスタ、シリンダハイレジスタ、セクタカウントレジスタ、シリンダローレジスタもレジスタ 1 0 3 に



含まれる。これらのレジスタの値は、後述するように、BUS 2 を介した ATA の PIO 転送を用いて読み出すことができる。また、これらのレジスタの値は、データ転送制御装置 1 0 が有するレジスタを用いて、PC に対しても表示される。

#### 【0102】

ストレージデバイス 1 0 0 が BUSY でない場合には、ストレージデバイス 1 0 0 のセクタサイズレジスタ、シリンダハイレジスタに例えば「5 5 h」、「A A h」をライトする（ステップ S 2 4）。次に、セクタサイズレジスタ、シリンダサイズレジスタをリードして、「5 5 h」、「A A h」が適正にライトされたか否かを確認する（ステップ S 2 5）。

#### 【0103】

次に、ストレージデバイス 1 0 0 のセクタカウントレジスタ、シリンダローレジスタの値が「0 1 h」、「0 0 h」に一致するか否かを判断する（ステップ S 2 6）。そして、一致した場合には、ストレージデバイス 1 0 0 を ATA デバイスと認識する（ステップ S 2 7）。ATA に準拠したデバイス（ハードディスクドライブ等）では、セクタカウントレジスタ、シリンダローレジスタの値が図 1 0 （B）に示すようになっているはずだからである。

#### 【0104】

次に、ストレージデバイス 1 0 0 のセクタカウントレジスタ、シリンダローレジスタの値が「0 1 h」、「1 4 h」に一致するか否かを判断する（ステップ S 2 8）。そして、一致した場合には、ストレージデバイス 1 0 0 を ATAPI デバイスと認識し（ステップ S 2 9）、一致しなかった場合には、ステップ S 2 2 に戻る。ATAPI に準拠したデバイス（CD ドライブ、DVD ドライブ等）では、セクタカウントレジスタ、シリンダローレジスタの値が図 1 0 （C）に示すようになっているはずだからである。

#### 【0105】

そして本実施形態では、ステップ S 2 2 で一定期間が経過したと判断された場合、或いはステップ S 2 5 で適正な値が書き込まれなかったと判断した場合には、デバイス未接続と認識する（ステップ S 3 0）。

## 【0106】

以上のように本実施形態では、ストレージデバイス100が有するレジスタ103へのアクセス結果（ライト、リード結果）に基づいてデバイスが未接続（未検出）か否かを判断する手法を採用している。そして、このようなレジスタ103へのアクセス処理（ATAデバイスかATAPIデバイスかを認識する処理）は、ストレージデバイス100の初期化処理において必要な処理である。従って、このような手法を採用すれば、必要最小限の処理の追加で、デバイスが未接続か否かを検出できるという利点がある。

## 【0107】

なお、デバイスが未接続か否かの検出は、BUS2の所定の信号線の状態を監視するハードウェア回路を設けて実現してもよい。例えば、ストレージデバイス100側でプルアップ或いはプルダウンするような信号線が存在する場合には、その信号線の電圧レベルを監視することで、デバイスが未接続か否かを検出できる。

## 【0108】

## 5. 電子機器の製造方法

以上のように説明した本実施形態のデータ転送制御装置によれば、電子機器の製造工程の簡素化、短期間化を実現できる。

## 【0109】

例えば図11（A）に示すように本実施形態では、BUS2にストレージデバイス100を未接続にした状態で、工場のPC（PCのIEEE1394ポート）をデータ転送制御装置10（基板9のIEEE1394ポート）にBUS1を介して接続する。

## 【0110】

この状態でデータ転送制御装置10の電源をオンにすると、初期状態でREF=イネーブルに設定している場合には、ダウンロードモードに移行してリライター処理が開始する（フラッシュメモリ44のリライタープログラムが起動する）。そして正常にプログラムが書き込まれるとREF=ディスエーブルに設定される（図8のステップS5）。そしてデータ転送制御装置10の電源を一旦オフにし、

同様の状態でオンにすると、図8のステップS8でデバイス未接続と判断され、ステップS9、S2に示すように、自動的にダウンロードモードに移行してリライター処理が開始する（フラッシュメモリ44のリライタープログラムが起動する）。

#### 【0111】

そして、このリライター処理により、BUS1を介したデータ転送を行い、図11(A)に示すように、GUID、コンフィギュレーションROM情報などの機器情報や、SBP-2用ファームウェア（データ転送制御プログラム）の情報を、図7のリライト領域にダウンロードして書き込む。これにより、電子機器8を識別するための固有の機器情報をフラッシュメモリ44に格納できる。或いは、各電子機器メーカーに専用のSBP-2用ファームウェアをフラッシュメモリ44に格納できる。

#### 【0112】

その後、図11(B)に示すように、データ転送制御装置10（基板9）をストレージデバイス100に接続する。そして、これらのデータ転送制御装置10（基板9）及びストレージデバイス100を電子機器に組み込む。これにより、図12(A)に示すような電子機器8を完成できる。

#### 【0113】

そして図12(B)に示すように、電子機器8をユーザが使用する時には、BUS2にストレージデバイス100が接続された状態になっている。従って、図8のステップS8において、デバイスが未接続ではないと判断され、通常のSBP-2処理（通常動作モード）が行われる。これにより、BUS2を介して家庭用のPC（ホスト）から転送されるデータ（ライトデータ）をBUS2を介してストレージデバイス100（デバイス）に転送（ライト）する通常のデータ転送を実現できる。また、BUS2を介してストレージデバイス100から転送されるデータ（リードデータ）を、BUS1を介してPCに転送（リード）するデータ転送も実現できる。即ち、データ転送制御装置10を用いてBUS1（IEEE1394）とBUS2（ATA、ATAPI）のバスブリッジ機能を実現し、電子機器8にIEEE1394のインターフェース機能を持たせることが可能にな

る。

#### 【0 1 1 4】

このように本実施形態では、図 5 (B) の手法とは異なり、ストレージデバイス 1 0 0 をデータ転送制御装置 1 0 (基板 9) に接続する前の製造工程で、フラッシュメモリ 4 4 に情報を書き込めるようになる。また、P C からダウンロード開始コマンド等を転送しなくても、デバイス未接続の時には自動的にダウンロードモードに移行し、リライター処理が起動する。従って、製造工程の簡素化、短期化を図れると共に、人的作業の手間を軽減できる。ここで、初期状態で R E F = イネーブルにしておくことによって、1 回目のダウンロードモード移行では、図 8 のステップ S 6、S 7、S 8、S 9 の処理を省略できるため、更に製造工程の短縮化を図ることができる。

#### 【0 1 1 5】

##### 6. リライター処理 (ダウンロード処理)

次にリライター処理の詳細について説明する。

#### 【0 1 1 6】

図 1 3 は I D (G U I D) のダウンロード処理を説明する図である。

#### 【0 1 1 7】

まず、ダウンロードホスト部 6 が I D のライトを実行すると、リライター部 9 0 がその I D をフラッシュメモリ 4 4 に書き込む。そして、ダウンロードホスト部 6 がステータスのリードを実行すると、リライター部 9 0 がステータスを返す。その後、ダウンロードホスト部 6 が I D のリードを実行し、I D が適正に書き込まれたか否かを確認して、処理が終了する。

#### 【0 1 1 8】

図 1 4 はプログラム (S B P - 2 ファームウェア) のダウンロード処理を説明する図である。

#### 【0 1 1 9】

まず、ダウンロードホスト部 6 がステータスのリードを実行すると、リライター部 9 0 がステータスを返す。次に、ダウンロードホスト部 6 がダウンロード開始アドレス、ダウンロードサイズのライトを実行する。そして、ダウンロードホス

ト部 6 が例えば 5 1 2 バイト (5 1 2 バイト以下) 単位でダウンロードデータ (SBP-2ファームウェアのプログラム情報) のライトを実行すると、リライタ部 9 0 がそのダウンロードデータをフラッシュメモリ 4 4 に書き込む。そして、ダウンロードデータのライトが終了すると、ダウンロードホスト部 6 がプログラムチェックサムのリードを実行し、リライタ部 9 0 がチェックサムを返す。その後、ダウンロードホスト部 6 が、チェックサムが適正か否かを確認して、処理が終了する。

## 【 0 1 2 0 】

図 1 5 (A) はコンフィグROMの情報のダウンロード処理を説明する図である。

## 【 0 1 2 1 】

まず、ダウンロードホスト部 6 がステータスのリードを実行すると、リライタ部 9 0 がステータスを返す。次に、ダウンロードホスト部 6 がダウンロード開始アドレス、ダウンロードサイズのライトを実行する。そして、ダウンロードホスト部 6 が例えば 5 1 2 バイト (5 1 2 バイト以下) 単位でダウンロードデータ (コンフィグROM情報) のライトを実行すると、リライタ部 9 0 がそのダウンロードデータをフラッシュメモリ 4 4 に書き込む。この際、コンフィグROMに対して、既書き込まれているID等を反映させる。そして、ダウンロードデータのライトが終了すると、ダウンロードホスト部 6 がステータスのリードを実行し、リライタ部 9 0 がステータスを返す。次に、ダウンロードホスト部 6 がコンフィグROMのCRCのリードを実行すると、リライタ部 9 0 がCRCを返して、処理が終了する。

## 【 0 1 2 2 】

図 1 5 (B) はダウンロード終了処理を説明する図である。

## 【 0 1 2 3 】

ダウンロードホスト部 6 が、ダウンロード終了コマンドのライトを実行すると、リライタ部 9 0 が、リライタイネーブルフラグREFをディスエーブルにし、ステータスをダウンロードの終了に設定して、リブート処理を行う。

## 【 0 1 2 4 】

## 6. ATA/ATAPIのインターフェース回路

図16に、ATA/ATAPIのインターフェース回路30の構成例を示す。  
なお、インターフェース回路30は図16の全ての回路ブロックを備える必要はなく、その一部を省略してもよい。

## 【0125】

FIFO31は、データ転送の転送レートの差を調整（緩衝）するためのバッファである。DMAコントローラ32は、FIFO31やインターフェースコア回路34の制御（REQ/ACK制御）等を行う回路である。

## 【0126】

インターフェースコア回路34は、DMAの制御等を行う回路である。インターフェースコア回路34が含むカウンタ35は、ATA（IDE）/ATAPI用のリセットカウンタである。インターフェースコア回路34が含むUDMA回路36は、ATA/ATAPIのUltraDMA転送を制御するための回路であり、UltraDMA用のFIFO37、UltraDMA用のCRC演算回路38を含む。

## 【0127】

レジスタ33は、DMA転送の開始等を制御するためのレジスタであり、このレジスタ33は、ファームウェア50（CPU42）によりアクセス可能になっている。

## 【0128】

CS[1:0]は、ATAの各レジスタにアクセスするために使用するチップセレクト信号である。DA[2:0]は、データ又はデータポートにアクセスするためのアドレス信号である。

## 【0129】

DMARQ、DMACKは、DMA転送に使用される信号である。データ転送の準備が整った時にストレージデバイス100（デバイス）側がDMARQをアサートして（アクティブにして）、これに応答して、データ転送制御装置10（ホスト）側がDMA転送開始時にDMACKをアサートする。

## 【0130】

DIOW (STOP) は、レジスタ又はデータポートの書き込み時に使用するライト信号である。なお、UltraDMA転送中はSTOP信号として機能する。DIOR (HDMARDY、HSTROBE) は、レジスタ又はデータポートの読み出し時に使用するリード信号である。なお、UltraDMA転送中はHDMARDY、HSTROBE信号として機能する。

## 【0131】

IORDY (DDMARDY、DSTROBE) は、ストレージデバイス100のデータ転送の準備が整っていない時のウェイト信号等に使用される。なお、UltraDMA転送中はDDMARDY、DSTROBE信号として機能する。

## 【0132】

INTRQは、ストレージデバイス100 (デバイス) が、データ転送制御装置10 (ホスト) に対して割り込みを要求するために使用される信号である。このINTRQがアサートされた後、データ転送制御装置10がストレージデバイス100のステータスレジスタの内容を読むと、所定時間後にストレージデバイス100はINTRQをネゲートする (非アクティブにする)。このINTRQを用いることで、ストレージデバイス100は、コマンド処理の終了をデータ転送制御装置10に通知できる。

## 【0133】

図17 (A)、(B) に、以上のATA用の信号の波形例を示す。これらの図は、PIO (Parallel I/O) リード、PIOライト時の信号波形例である。なお、これらの図において「#」は負論理 (Lレベルがアサート) の信号であることを表す。

## 【0134】

ATAのレジスタ103のリードは図16 (A) のPIOリードにより実現し、レジスタ103へのライトは図16 (B) のPIOライトにより実現する。例えば、図9のステップS23、S25、S26、S28のレジスタ・リードは、PIOリードにより実現する。また、ステップS24のレジスタ・ライトは、PIOライトにより実現する。

## 【 0 1 3 5 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

## 【 0 1 3 6 】

例えば、明細書中の記載において広義な用語（第 1 のインターフェース規格、第 2 のインターフェース規格、第 1 のインターフェース規格の上位の第 1 のプロトコル、第 1 のインターフェース規格の上位の第 2 のプロトコル、コマンドパケット、デバイス、ホスト、不揮発性メモリ、GUID、データ転送制御プログラム、プロセッサ等）として引用された用語（IEEE 1394、ATA/ATAPI、SBP-2、IP over 1394、ORB、ストレージデバイス、パーソナルコンピュータ、フラッシュメモリ、機器情報、SBP-2用ファームウェア、CPU等）は、明細書中の他の記載においても広義な用語に置き換えることができる。

## 【 0 1 3 7 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

## 【 0 1 3 8 】

また、本発明のデータ転送制御装置、電子機器の構成は、図 6 に示す構成に限定されず、種々の変形実施が可能である。例えば、これらの各図の各回路ブロック、機能ブロックの一部を省略したり、その接続関係を変更してもよい。また、第 2 のバス（BUS 2）は、ストレージデバイスとは異なるデバイスに接続されていてもよい。また、物理層回路とリンク層回路とパケットバッファの接続構成も図 6 に示す接続構成に限定されない。

## 【 0 1 3 9 】

また本実施形態では、リライタ起動部、リライタ部等の機能をファームウェア（プログラム）により実現する場合について説明したが、これらを機能の一部又は全部をハードウェア回路により実現してもよい。

## 【 0 1 4 0 】



また本発明は種々の電子機器（ハードディスクドライブ、光ディスクドライブ、光磁気ディスクドライブ、PDA、拡張機器、オーディオ機器、デジタルビデオカメラ、携帯電話、プリンタ、スキャナ、TV、VTR、電話機、表示デバイス、プロジェクタ、パーソナルコンピュータ或いは電子手帳等）に適用できる。

【0141】

また、本実施形態では、IEEE1394、SBP-2、ATA/ATAPI規格でのデータ転送に本発明を適用した場合について説明した。しかしながら本発明は、例えばIEEE1394（P1394a）、SBP-2（SBP）、ATA/ATAPIと同様の思想に基づく規格や、IEEE1394、SBP-2、ATA/ATAPIを発展させた規格におけるデータ転送にも適用できる。

【図面の簡単な説明】

【図1】

IEEE1394、SBP-2の層構造について説明するための図である。

【図2】

SBP-2の処理の概略について説明するための図である。

【図3】

SBP-2においてデータをイニシエータからターゲットに転送する場合のコマンド処理について説明するための図である。

【図4】

SBP-2においてデータをターゲットからイニシエータに転送する場合のコマンド処理について説明するための図である。

【図5】

図5（A）、（B）は、データ転送制御装置のバスブリッジ機能や、電子機器の製造方法について説明するための図である。

【図6】

本実施形態のデータ転送制御装置、電子機器の構成例を示す図である。

【図7】

フラッシュメモリ（不揮発性メモリ）のメモリマップを示す図である。

【図8】

本実施形態の詳細な処理例について示すフローチャートである。

【図 9】

本実施形態の詳細な処理例について示すフローチャートである。

【図 1 0】

図 1 0 (A)、(B)、(C) は、ATA の各種レジスタについて説明するための図である。

【図 1 1】

図 1 1 (A)、(B) は、電子機器の製造方法について説明するための図である。

【図 1 2】

図 1 2 (A)、(B) は、電子機器の製造方法やデータ転送制御手法について説明するための図である。

【図 1 3】

ID のダウンロード処理について説明するための図である。

【図 1 4】

プログラムのダウンロード処理について説明するための図である。

【図 1 5】

図 1 5 (A)、(B) は、コンフィグ ROM のダウンロード処理やダウンロード終了処理について説明するための図である。

【図 1 6】

ATA / ATAPI のインターフェース回路の構成例を示す図である。

【図 1 7】

図 1 7 (A)、(B) は、PIO リード、PIO ライト時における信号波形例である。

【符号の説明】

BUS 1 第 1 のバス (IEEE 1394)

BUS 2 第 2 のバス (ATA / ATAPI)

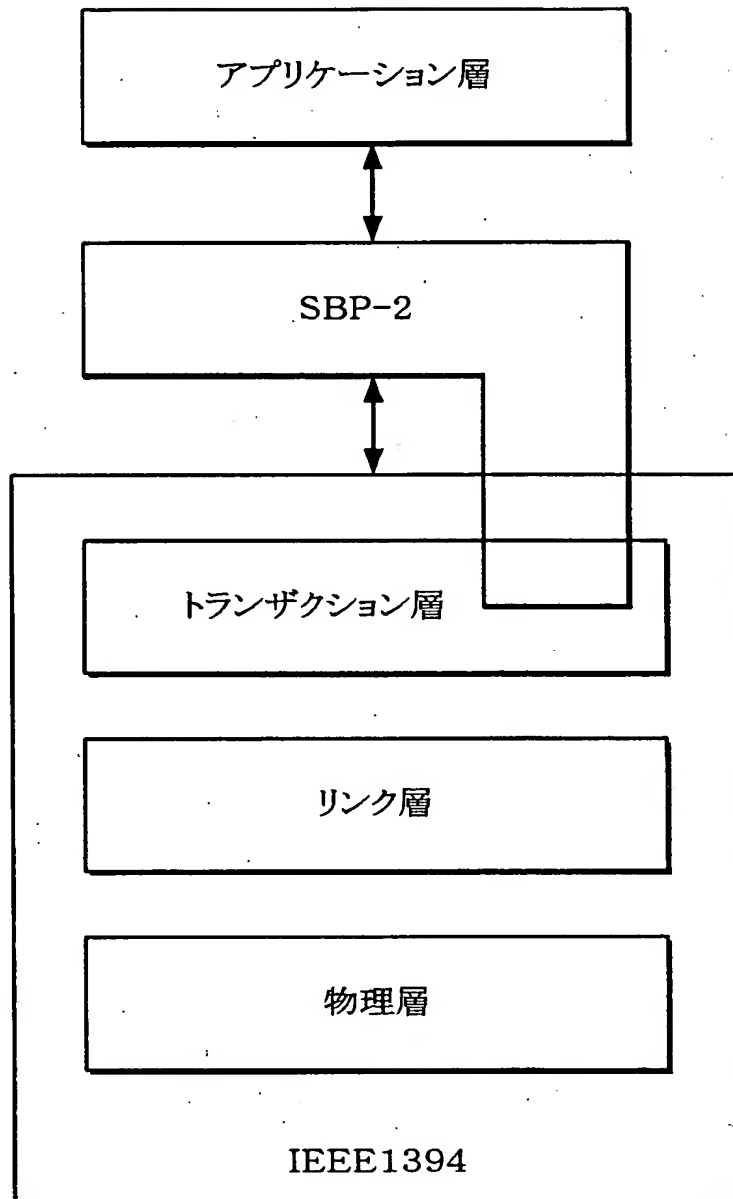
PC ホスト、パーソナルコンピュータ (イニシエータ)

8 電子機器 (ターゲット)

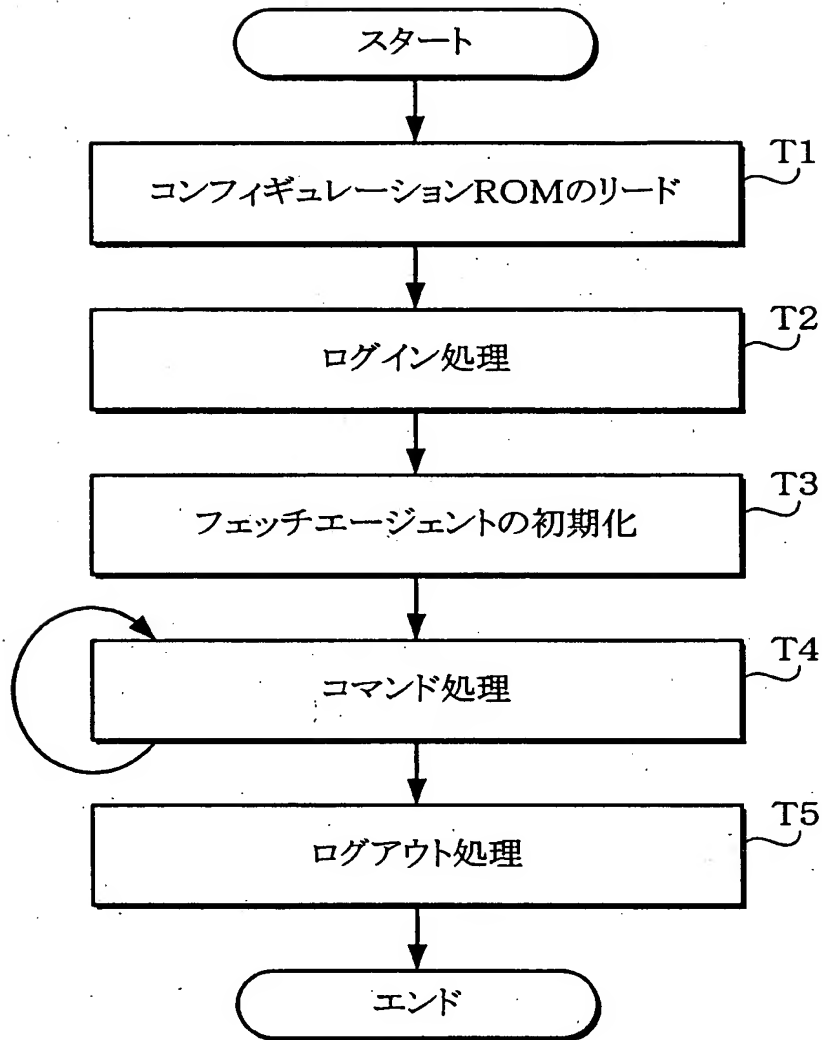
- 10 データ転送制御装置
- 14 物理層回路
- 20 リンク層回路
- 22 S.B.P-2回路
- 30 インターフェース回路
- 32 DMAコントローラ
- 38 バッファ管理回路
- 40 パケットバッファ
- 42 CPU (プロセッサ)
- 44 フラッシュメモリ (不揮発性メモリ)
- 50 ファームウェア
- 52 コミュニケーション部
- 60 マネージメント部
- 70 フェッチ部
- 80 ストレージタスク部
- 82 リライター起動部
- 90 リライター部
- 100 ストレージデバイス
- 102 インターフェース回路
- 103 レジスタ
- 104 アクセス制御回路
- 106 ストレージ

【書類名】 図面

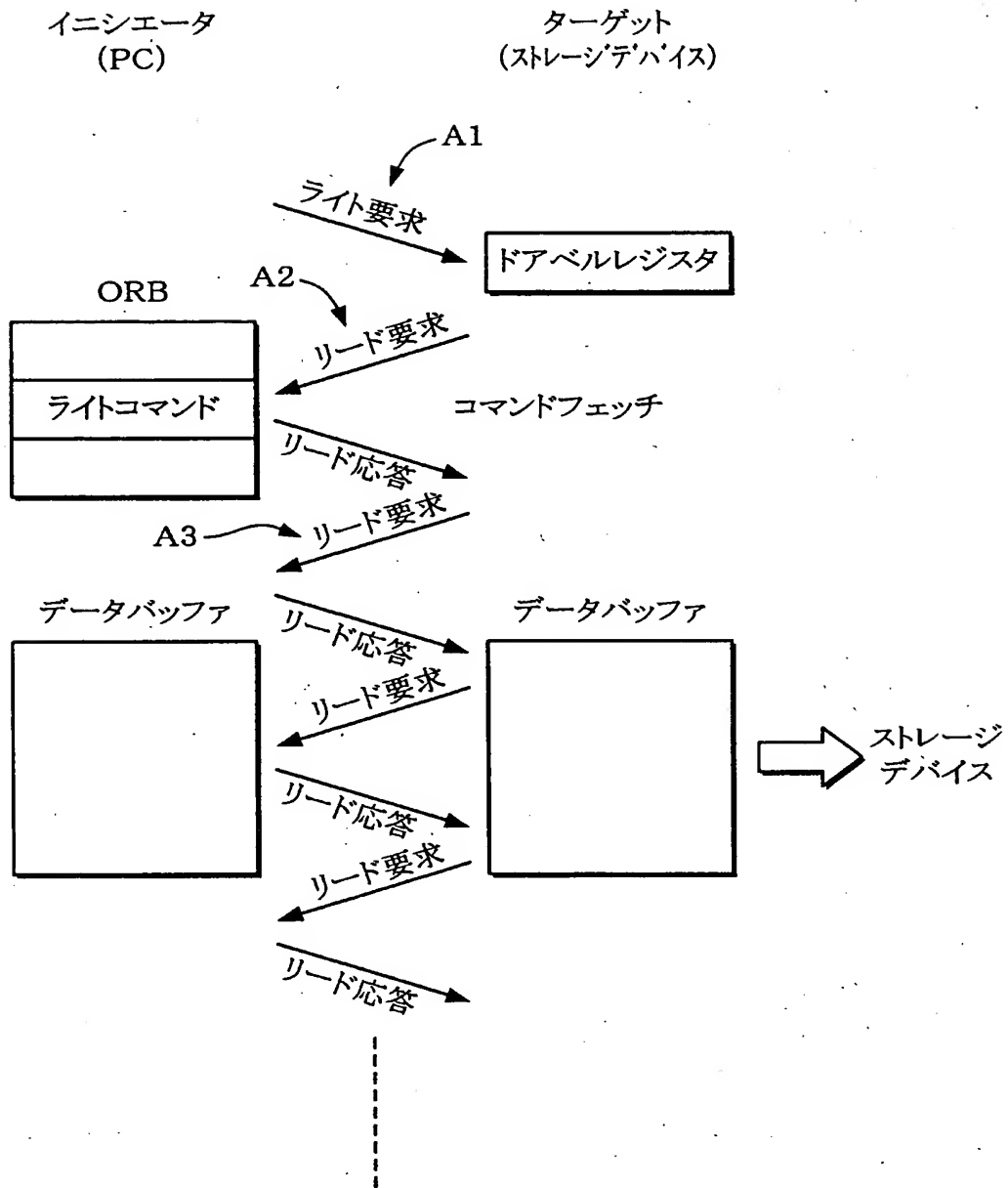
【図 1】



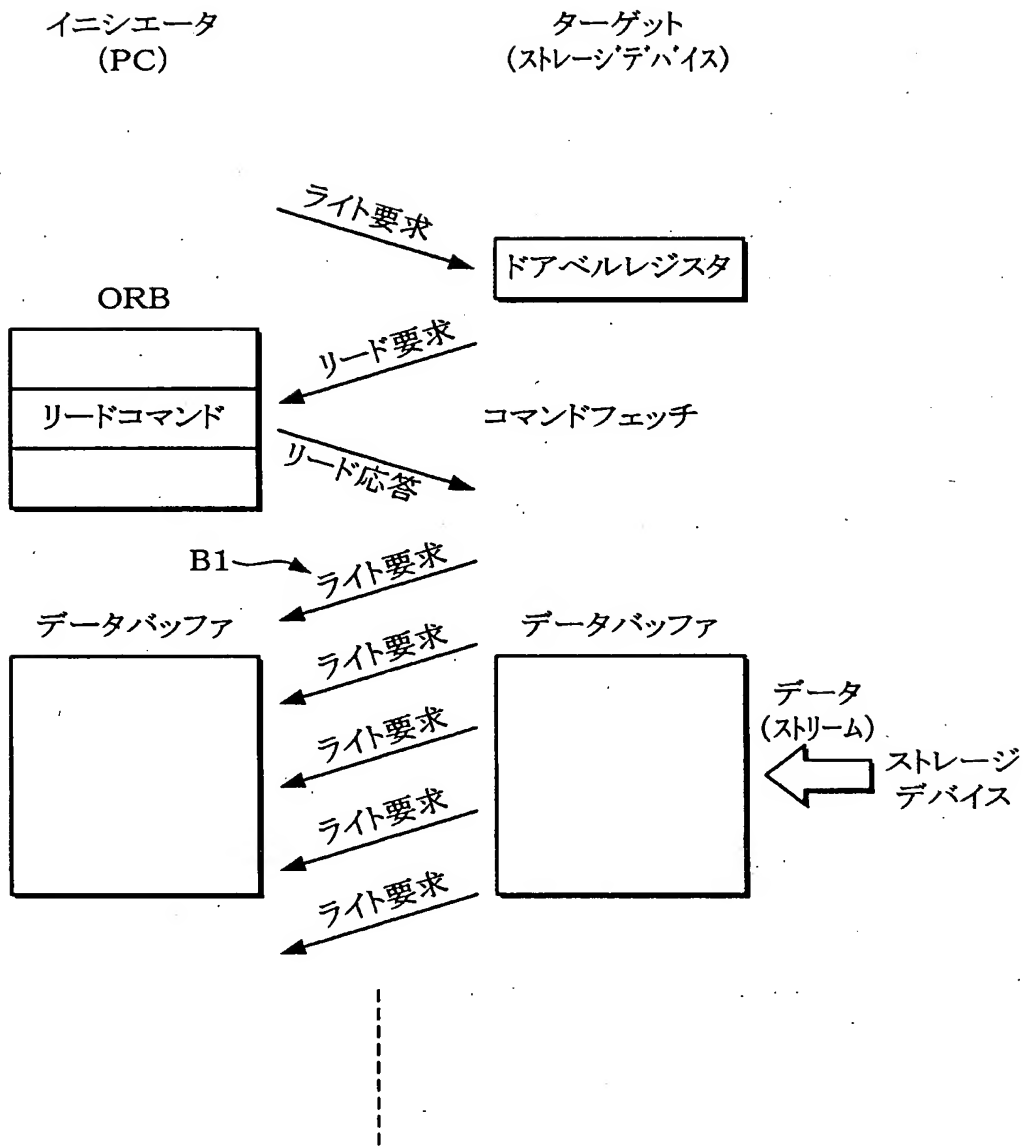
【図 2】



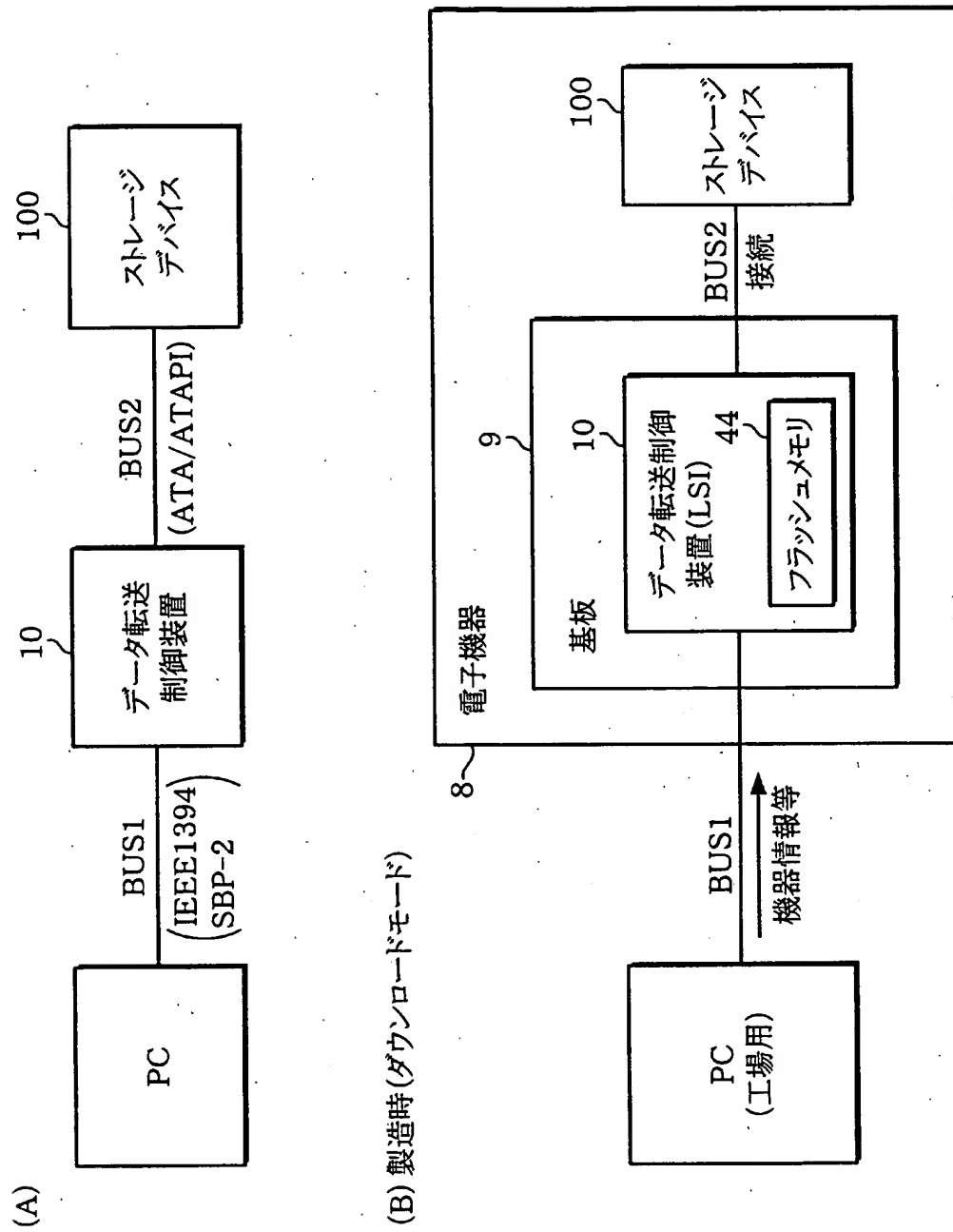
【図 3】



【図4】

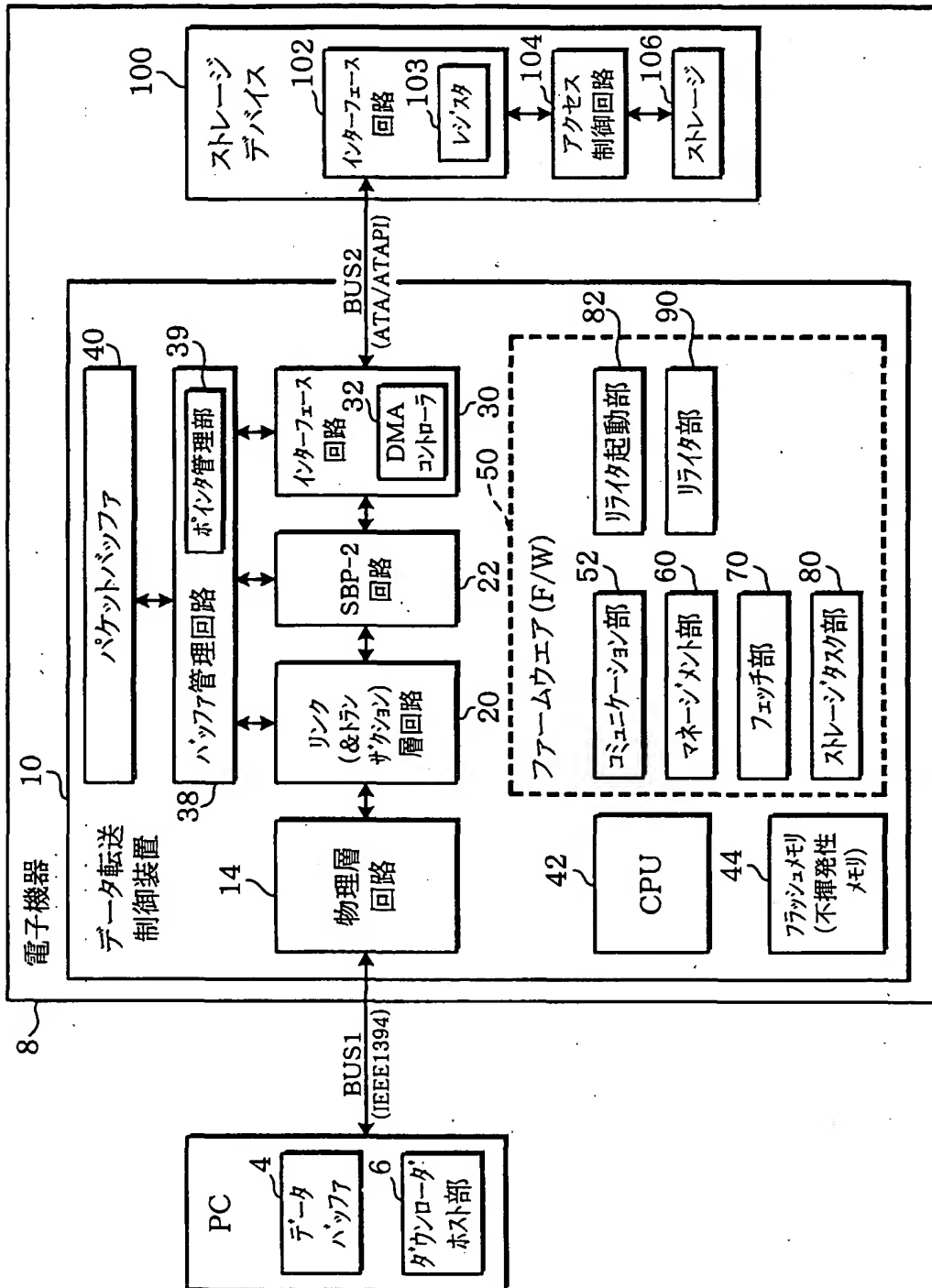


【図 5】

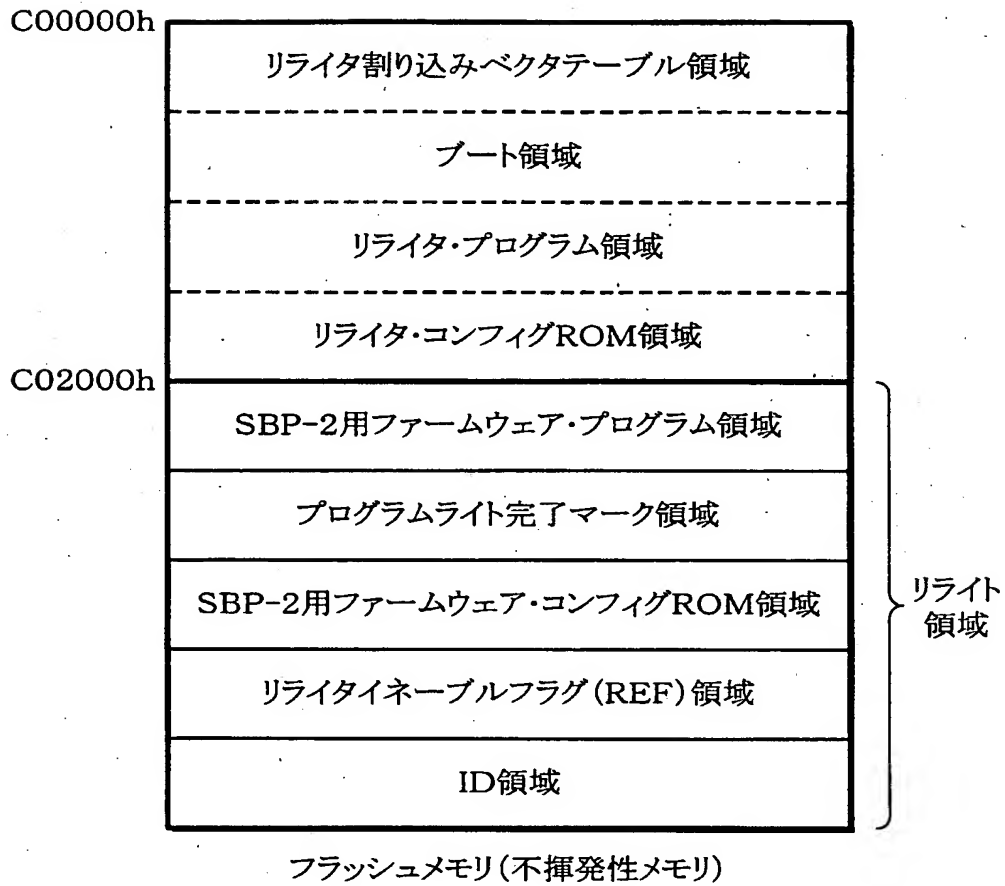




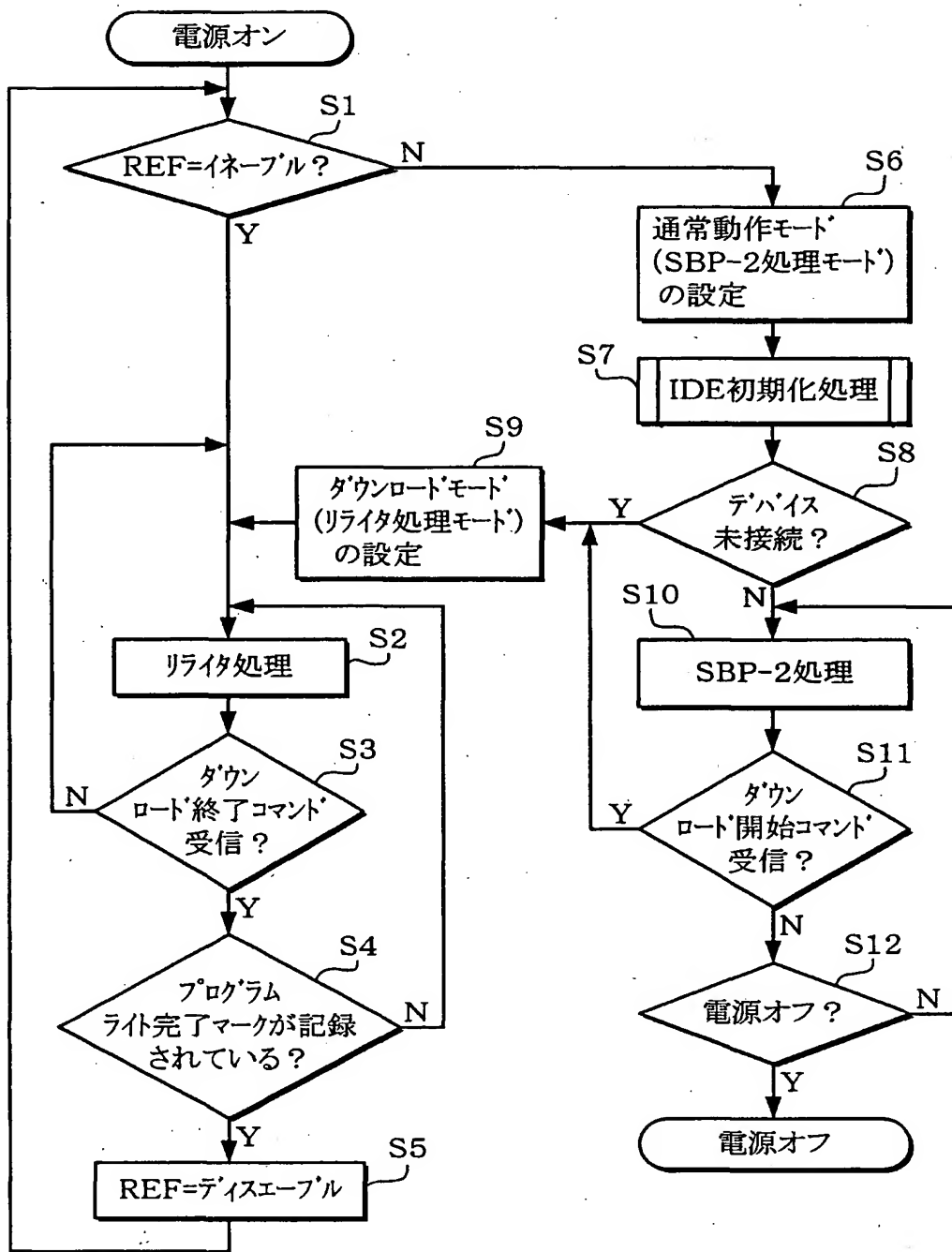
【図 6】



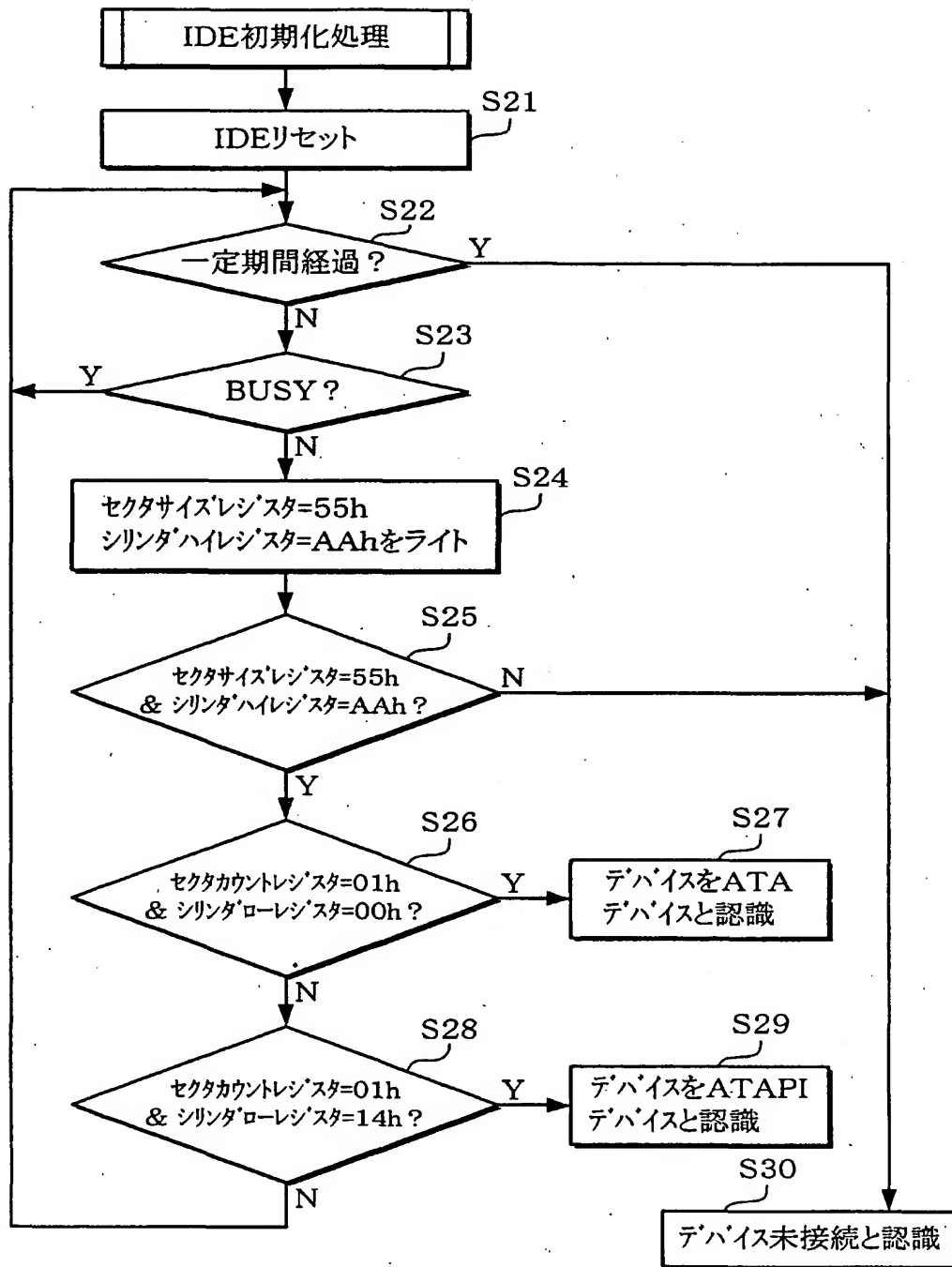
【図 7】



【図 8】



【図 9】



【図 1 0】

(A)

ステータスレジスタ

7	6	5	4	3	2	1	0
BSY	DRDY	#	#	DRQ	obs	obs	ERR

(B) ATA

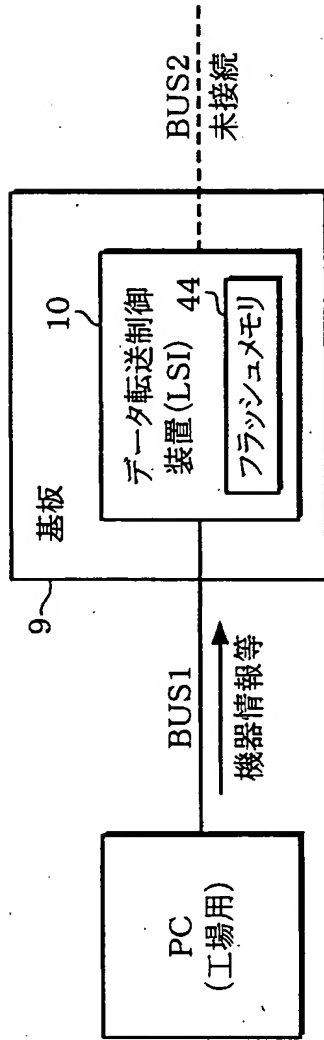
レジスタ	
セクタカウンタ	01h
セクタナンバ	01h
シリンダロー	00h
シリンダハイ	00h
デバイス/ヘッド	00h

(C) ATAPI

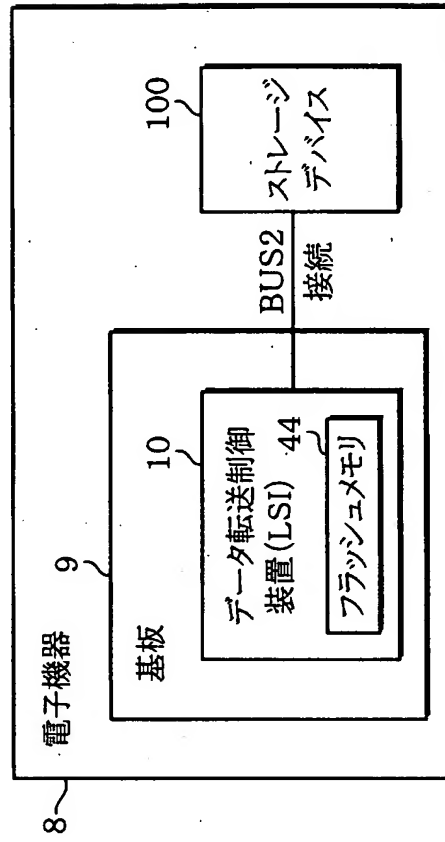
レジスタ	
セクタカウンタ	01h
セクタナンバ	01h
シリンダロー	14h
シリンダハイ	EBh
デバイス/ヘッド	00h又は 10h

【図 11】

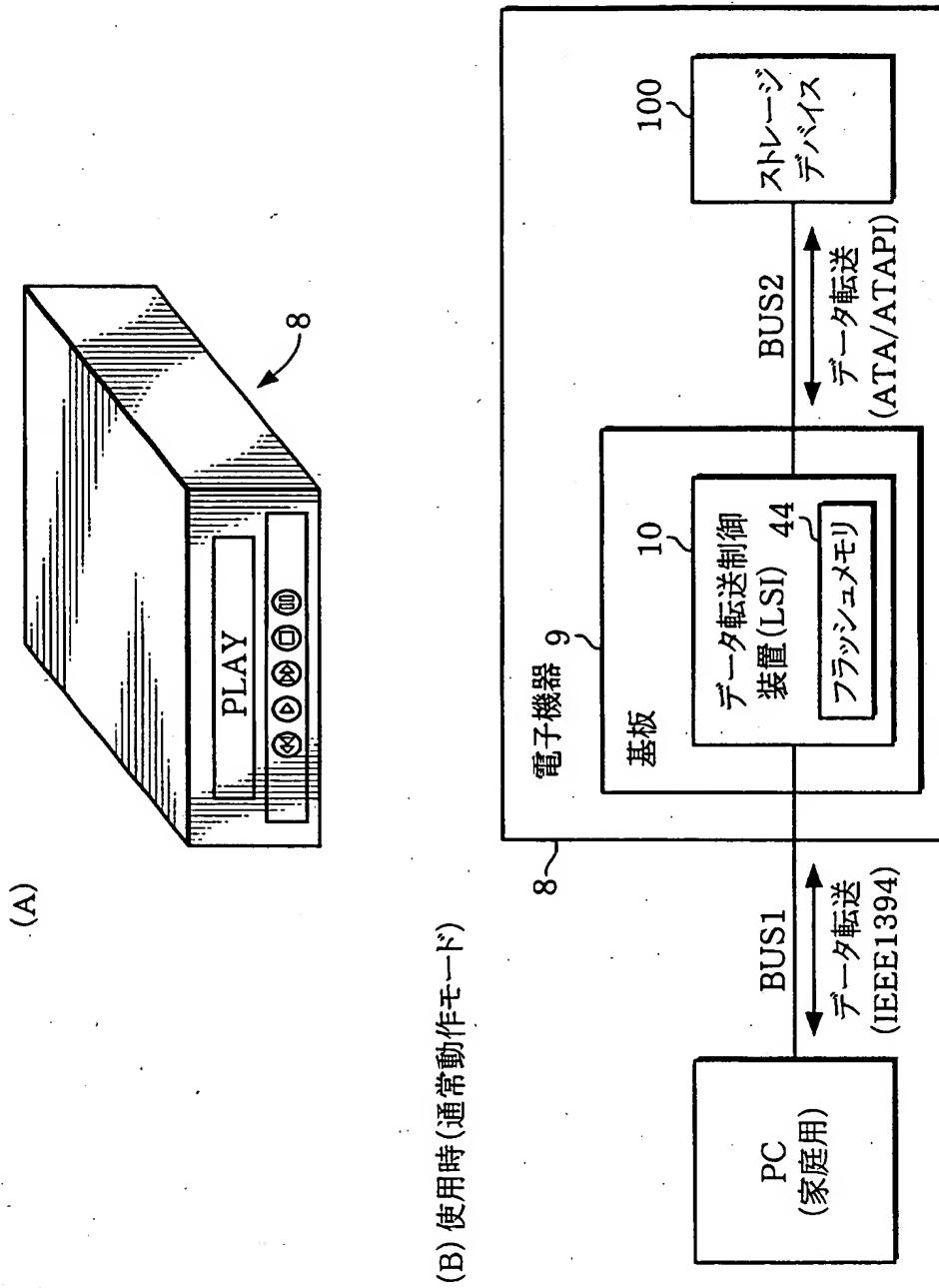
(A) 製造時(ダウンロードモード)



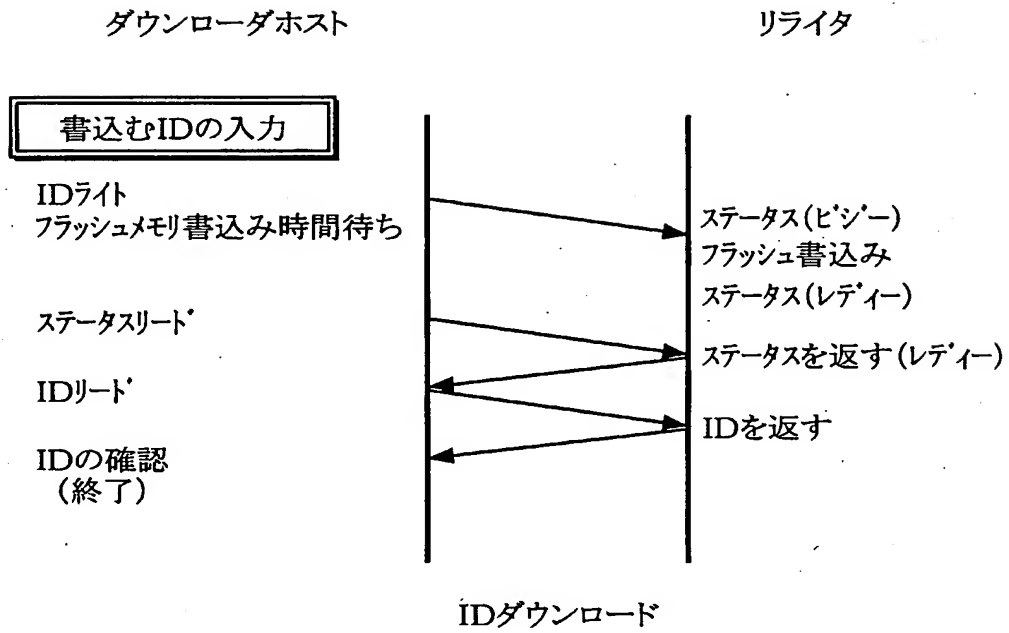
(B) 製造時(基板の組み込み)



【図 1 2】

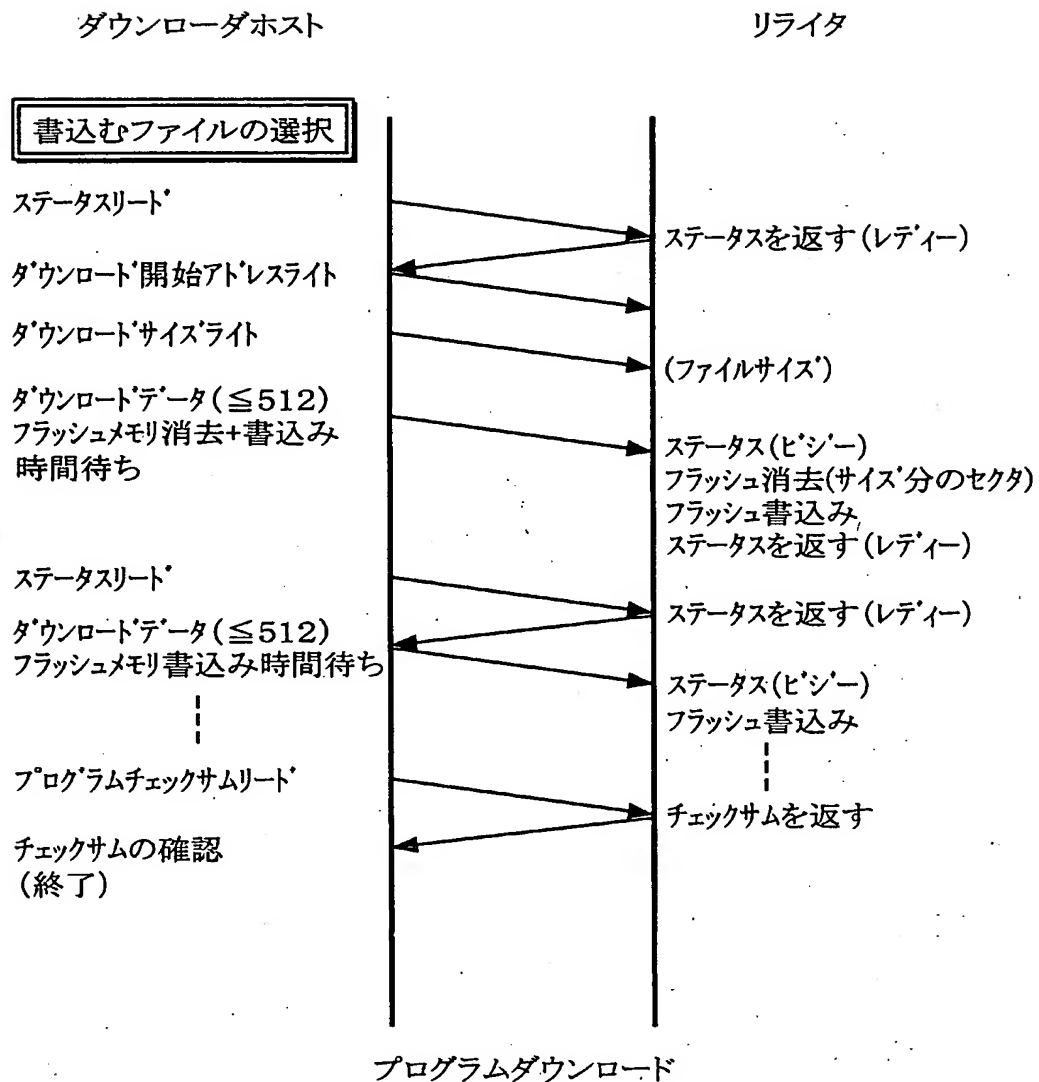


【図 1 3】





【図 1 4】

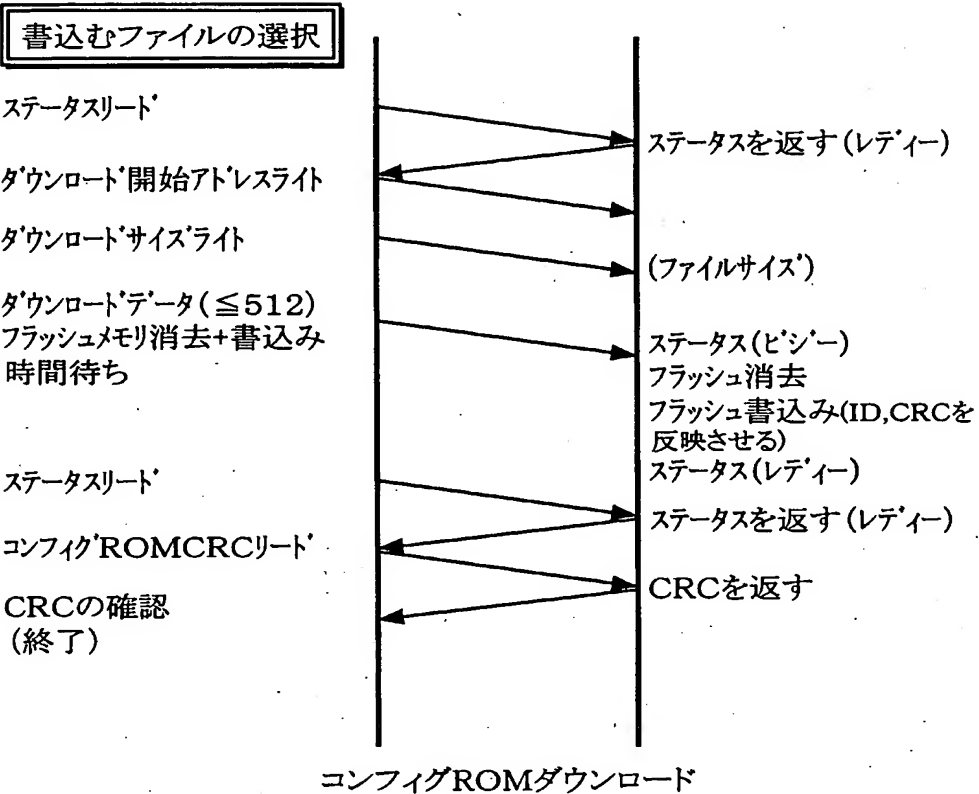


【図 15】

(A)

ダウンローダホスト

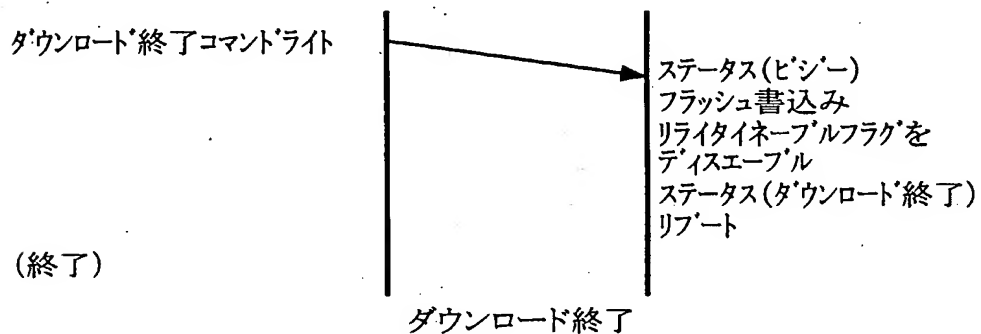
リライター



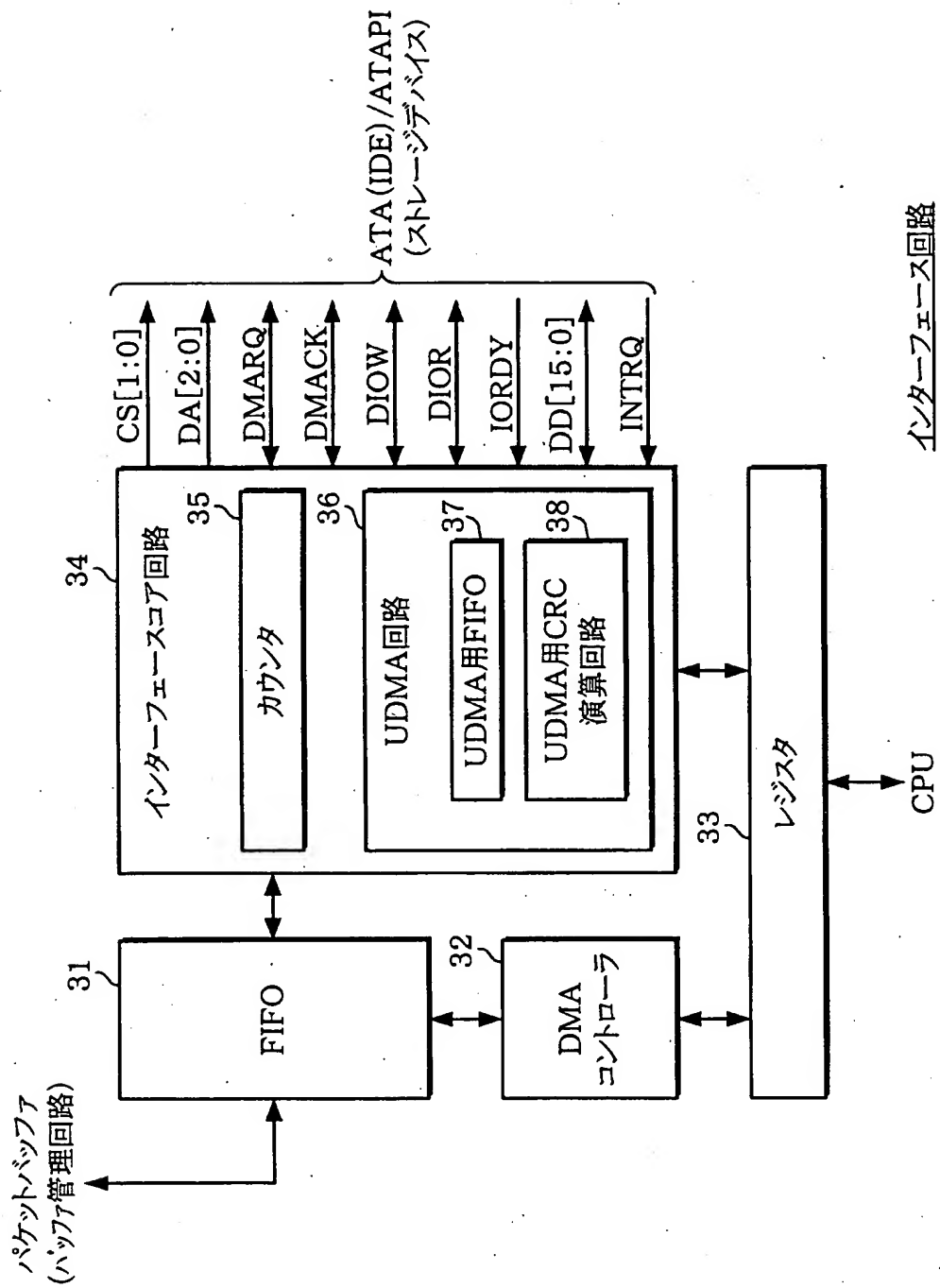
(B)

ダウンローダホスト

リライター

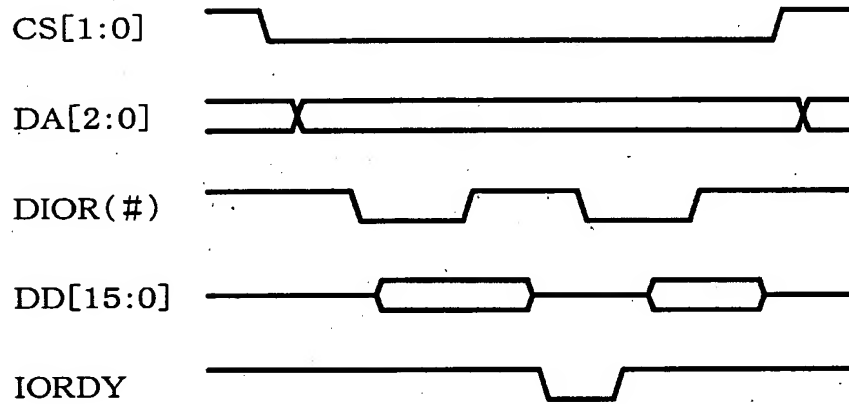


【図 16】

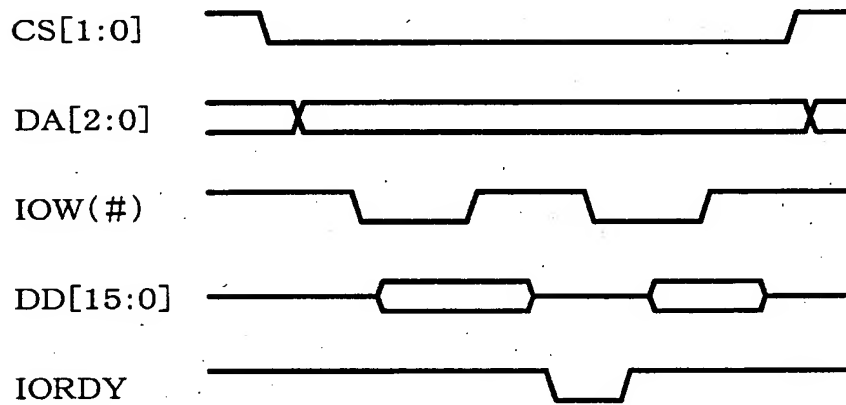


【図 1 7】

(A) PIOリード(ストレージデバイス→データ転送制御装置→PC)



(B) PIOライト(PC→データ転送制御装置→ストレージデバイス)



【書類名】            要約書

【要約】

【課題】    機器情報等を簡易に書き込むことができるデータ転送制御装置、電子機器、プログラム、及び電子機器の製造方法を提供すること。

【解決手段】    機器情報（GUID、コンフィグROM）、データ転送制御プログラム情報（SBP-2用ファームウェアプログラム）を記憶するためのリライト領域に、BUS1（IEEE1394）を介して転送される情報をダウンロードし、リライト領域に情報を書き込むリライター処理を行う。BUS2（ATA/ATAPI、IDE）にデバイスが未接続であることが検出された場合に、リライター処理を開始する。BUS2のデバイスが有するレジスタへのアクセス結果に基づいて、BUS2にデバイスが接続されているか否かを検出する。ダウンロードモードでは、BUS1に接続されるPCとの間でデータ転送を行うことで、リライト領域に情報を書き込む。

【選択図】            図8

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社